

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 62231379 A

(43) Date of publication of application: 09.10.87

(51) Int. Cl.

G06F 15/62

(21) Application number: 61073162

(71) Applicant: NAMUKO:KK

(22) Date of filing: 31.03.86

(72) Inventor: MURATA HIROYUKI

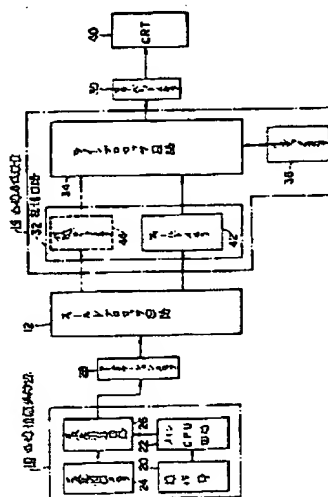
(54) PICTURE SYNTHESIZING DEVICE

(57) Abstract

PURPOSE: To synthesize and display a picture with a few storage capacity, by performing the arithmetic operation of an intersection pair between a graphic contour line and a horizontal scanning line, storing an arithmetic result corresponding to priority, and reading it out in the sequence of high priority.

CONSTITUTION: The graphic contour line of the combined information of a polygon for a three-dimensional picture, etc., is supplied to a field processor circuit 12 in the sequence of high priority through a communication memory 28. Then, the circuit 12 performs the arithmetic operation and decides an outline pair where the graphic contour line and the horizontal scanning line intersect, and the outline point information formed by the outline pair and attendant data, such as color, etc., is written at a storage circuit 32 in a picture synthesizing device 14 from the circuit 12 in the sequence of priority by a gradually increasing address. And through a line processor 34, the attendant data is read out in the sequence of priority from an attendant data memory 44 in the circuit 32, and is stored at an index memory 36, and it is read out in the sequence of priority corresponding to a horizontal synchronizing signal, then being supplied to a color pallet memory 38. Similarly as for the outline pair information, a stereoscopic picture, etc., is synthesized and displayed through a memory small in capacity that makes unnecessary a storage capacity having the number multiplying the number of the gold pixel of a CRT by that of the color information.

COPYRIGHT: (C)1987,JPO&Japio



Best Available Copy

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-231379

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月9日

G 06 F 15/62

6615-5B

審査請求 未請求 発明の数 1 (全 52 頁)

⑭ 発明の名称 画像合成装置

⑯ 特 願 昭61-73162

⑰ 出 願 昭61(1986)3月31日

⑱ 発 明 者 村 田 弘 幸 東京都大田区多摩川2丁目8番5号 株式会社ナムコ内
 ⑲ 出 願 人 株式会社 ナムコ 東京都大田区多摩川2丁目8番5号
 ⑳ 代 理 人 弁理士 布施 行夫

明 細 書

1. 発明の名称

画像合成装置

2. 特許請求の範囲

(1) CRT表示用の図形の輪郭線が各水平走査線と交差する左右輪郭点ペアと、この図形の付随データと、から成る輪郭点情報が、各水平走査線に対応して設けられた水平走査記憶エリア内にその優先度を伴い順次書き込み記憶される輪郭点情報記憶手段と、

水平走査信号に同期して、その垂直走査位置に対応する水平走査記憶エリアから各輪郭点情報に含まれる付随データを読出し、読出された付随データをその優先度に従って各アドレスに書き込み記憶するインデックスメモリと、

水平走査信号に同期して、その垂直走査位置と対応する水平走査記憶エリアから各輪郭点情報に含まれる輪郭点ペアを順次読出し、水平走査が各輪郭点ペアの指定する領域内で行われている場合に、対応する付随データの読出しアドレスをその

優先度に基づきインデックスメモリへ出力する読出しアドレス発生手段と、

を含み、供給される図形の輪郭点情報に基づき、CRT表示用の画像信号をリアルタイムで合成出力することを特徴とする画像合成装置。

(2) 特許請求の範囲(1)記載の装置において、

輪郭点情報記憶手段は、水平走査線に対応した複数の水平走査記憶エリアを有するフィールドメモリを含み、入力される輪郭点情報が対応する水平走査記憶エリア内にその優先度に従って順次書き込み記憶されることを特徴とする画像合成装置。

(3) 特許請求の範囲(1)記載の装置において、

輪郭点情報記憶手段は、フィールドメモリと付随データメモリとを含み、

前記フィールドメモリの各水平走査記憶エリアには、輪郭点ペアと図形の認識番号とが書き込み記憶され、

前記付随データメモリには、図形の認識番号をアドレスとして付随データが書き込み記憶されることを特徴とする画像合成装置。

(4) 特許請求の範囲(1)～(3)のいずれかに記載の装置において、

前記読出しアドレス発生手段は、

水平走査信号に同期して、その垂直走査位置に対応する水平走査記憶エリアから給郭点情報をその優先度に従い読出すとともに、各給郭点情報の優先度番号を発生する第1のラインプロセッサと、

各給郭点情報に含まれる左給郭点位置及び右給郭点位置をアドレスとして、前記優先度番号が書き込み記憶され、かつ各給郭点情報に含まれる給郭点位置が書き込み記憶される給郭点マップメモリと、

水平走査が、給郭点マップメモリに書込まれた各給郭点ペアの指定する領域内で行われている場合に、対応する優先度番号に従いインデックスメモリへ向け読出しアドレスを出力する第2のラインプロセッサと、

を含み、

前記インデックスメモリは、第1のラインプロセッサの読出す付随データを優先度番号に従って各アドレスに順次書き込み記憶し、書込まれた各付

随データを前記第2のラインプロセッサから出力される読出しアドレスに従って順次出力するように形成され、

供給される各図形の給郭点情報に基づき、水平走査用の画像信号をリアルタイムで順次合成出力することを特徴とする画像合成装置。

(5) 特許請求の範囲(4)記載の装置において、前記給郭点マップメモリは、

各給郭点情報に含まれる左給郭点位置及び右給郭点位置をアドレスとして、前記優先度番号が書き込み記憶されるマップメモリと、

各給郭点情報に含まれる給郭点位置が書き込み記憶されるサブマップメモリと、

を含むことを特徴とする画像合成装置。

(6) 特許請求の範囲(1)～(3)のいずれかに記載の装置において、

読出しアドレス発生手段は、

水平走査信号に同期して、その水平走査位置に対応する水平走査記憶エリアから給郭点情報を優先度に従い順次読出すとともに、各給郭点情報に

- 3 -

対応した優先度番号を発生するデータ読出し部と、

読出された各給郭点情報に含まれる給郭点ペアをその優先度に従って順次記憶するとともに、水平走査が記憶された各給郭点ペアの指定する領域内で行われている場合には、前記給郭点ペアと対応する最も高い優先度番号に従いインデックスメモリに読出しアドレスを出力するアドレス出力部と、

を含み、

前記インデックスメモリは、

データ読出し部の読出す給郭点情報に含まれる付随データを前記優先度番号に従い所定アドレスに順次書き込み記憶し、書込まれた付随データを前記アドレス出力部から出力される読出しアドレスに従って順次出力するように形成され、

供給される各図形の給郭点情報に基づき、水平走査用の画像信号をリアルタイムで順次合成出力することを特徴とする画像合成装置。

3. 発明の詳細な説明

[産業上の利用分野]

- 4 -

本発明は画像合成装置、特に画像情報供給源から出力される画像情報に基づき画像信号をリアルタイムで合成出力することの可能な画像合成装置に関する。

[従来の技術]

画像合成回路は、外部から供給される画像情報に基づき、CRT表示用各種画像信号を合成出力するものであり、単に2次元的な平面画像ばかりでなく、立体の2次元画像、すなわち、疑似3次元画像信号をも合成出力することができることから、例えば3次元画像用のビデオゲーム、飛行機及び各種乗物の操縦シュミレータ、コンピュータグラフィクス、CAD装置のディスプレイ及びその他の用途に幅広く用いられている。

従来、このような画像合成回路は、いわゆるビット・マップ・ディスプレイ(グラフィックディスプレイ)の手法を用いており、このためCRT画面の全ピクセルに1対1に対応する記憶エリアを有するビット・マップ・メモリが設けられてい

る。

そして、このメモリの各記憶エリアには、一画面に表示する全ピクセル情報が書き込まれ、例えばコンピュータグラフィクス等において任意の図形を表示する場合には、画面上にその輪郭を描き、その内部をメモリに書き込まれた指定色で塗り潰していくという作業が行われている。

ところで、このような画像合成装置は、同時に複数の図形を表示することが多く、特に複数の図形が重ね合せ表示されるような場合には、その重ね合せ領域をどのように塗り潰し処理するかが問題となる。

このため、従来より、優先度の高い図形から塗り潰し処理を行っていく装置と、優先度の低い図形から塗り潰し処理を行っていく装置とが知られている。

〔発明が解決しようとする問題点〕

しかし、このような従来装置は、いずれも以下(A)～(C)に述べるような問題点を有してお

り、その有効な対策が望まれていた。

(A) まず、前者の従来装置は、迅速な画像処理が極めて困難であるため、動きの速い動画をリアルタイムで表示することが難しいという問題があった。

すなわち、優先度の高い図形(近くに位置する図形)から優先度の低い図形(遠くに位置する図形)に向け順次塗り潰し処理を行い、複数の図形を重ね合せ表示しようとする場合には、後の図形データによって先に書き込まれた優先度の高い図形データが消去されることがないようにする必要がある。

このため、このような従来装置では、前記塗り潰し処理に先立って、塗り潰しの対象となる全てのデータ書き込みエリアからデータを読出し、各エリアにデータが書き込まれているか否かの判別を行う。そして、データが書き込まれていないと判断したエリアに対してのみ塗り潰し処理を行うというリード・モディファイ・ライト動作を行っている。

- 7 -

従って、ビット・マップ・メモリに対する塗り潰し作業を高速で行うことができない。このため、画像の変化に対しビット・マップ・メモリの塗り潰し作業が追従できない場合が多く、動きの速い動画等をリアルタイム表示することができないという問題があった。

また、このような従来装置では、使用するデータバスの容量をふやすことにより、前記リード・モディファイ・ライト動作を高速で行うことも可能である。

しかし、このようにすると、扱う情報量に比し装置全体が大形かつ高価なものとなり、装置自体の非実用的なものになってしまうという問題が発生する。

(B) また、前述した後者の従来装置、すなわち優先度の低い図形から順に塗り潰し処理する装置では、最も優先度の高い図形が画面から欠落してしまう場合があるという問題があった。

すなわち、この従来装置は、いわゆる重ね絵の

- 8 -

要領で、優先度の低い図形から優先度の高い図形の順にデータの塗り潰し処理を行い、複数の図形の重ね合せ表示を行っている。

従って、この装置では、前述したリード・モディファイ・ライトが不要となるため、回路全体を単純化し、しかもその塗り潰し処理を比較的高速で行うことができる。

この反面、この従来装置では、なんらかの原因でデータの書き込み時間が不足すると、最も優先度の高い図形をメモリへ書き込むことができず、この結果CRT画面上には優先度の低い図形のみが表示され、優先度の高い図形が欠落してしまう場合があるという問題があった。

(C) また、このようなビット・マップ・ディスプレイの手法を用いた従来装置では、いずれも必要とするメモリ容量が極めて大きなものになってしまうという問題があった。

すなわち、ビット・マップ・ディスプレイの方法を用いると、CRTの全ピクセルに対応した

- 9 -

-507-

- 10 -

記憶エリアをもつ大容量ビット・マップ・メモリが必要となる。

特に、CRT表示画面上に所望の画像をカラー表示しようとする場合には、前記ビクセル数にカラー表示用の色情報ビット数を掛合せた数の記憶容量が必要となり、使用するメモリ容量が極めて大きなものになってしまうという問題があった。

〔発明の目的〕

本発明は、このような従来の課題に鑑みなされたものであり、その目的は、供給される図形の輪郭情報に基づき画像信号をリアルタイムで合成出力することの可能な画像合成装置を提供することにある。

〔問題点を解決するための手段〕

前記目的を達成するため、本発明は、

CRT表示用の図形の輪郭線が各水平走査線と交差する左右輪郭点ペアと、この図形の付随データと、から成る輪郭点情報が、各水平走査線に対

応して設けられた水平走査記憶エリア内にその優先度を伴い順次書き込み記憶される輪郭点情報記憶手段と、

水平走査信号に同期して、その垂直走査位置に対応する水平走査記憶エリアから各輪郭点情報に含まれる付随データを読み出し、読み出された付随データをその優先度に従って各アドレスに書き込み記憶するインデックスメモリと、

水平走査信号に同期して、その垂直走査位置に対応する水平走査記憶エリアから各輪郭点情報に含まれる輪郭点ペアを順次読み出し、水平走査が各輪郭点ペアの指定する領域内で行われている場合に、対応する付随データの読み出しアドレスをその優先度に基づきインデックスメモリへ出力する読み出しアドレス発生手段と、

を含み、供給される図形の輪郭点情報に基づき、CRT表示用の画像信号をリアルタイムで合成出力することを特徴とする。

(以下余白)

- 11 -

〔実施例の目次〕

A. 発明の概要説明

B: 実施例

B 1: 画像情報供給源

- *着眼点
- *構成
- *作用
- *付随データ
- *コミュニケーションメモリ

B 2: フィールドプロセッサ回路

- *多角形認識番号

B 3: 画像合成装置

(a) 記憶回路

a-1. フィールドメモリ

- *データ書き込み順序
- *ワード構成

a-2. 付随データメモリ

(b) インデックスメモリ

(c) ラインプロセッサ回路

(d) 本実施例と従来装置との比較

- 13 -

- 12 -

C: 具体例

C 1: 第1の具体例

- (a) 仕様
- (b) デュアルポートRAM
- (c) 画像情報供給源
- (d) フィールドプロセッサ回路
 - *構成
 - *動作

(e) フィールドメモリ

(f) インデックスメモリ

(g) ラインプロセッサ回路

インデックスメモリ

マップメモリ

サブマップメモリ

第1のラインプロセッサ

第2のラインプロセッサ

C 2: 第2の具体例

C 3: 第3の具体例

*完全不連続型

*半不連続型

- 14 -

D. 本発明と従来実施例との比較

* 比較条件

* フィールドプロセッサ回路の処理時間

* 本発明の処理時間

* 従来のビットマップディスプレイの
処理時間

* 比較

【実施例】

次に本発明の好適な実施例を図面に基づき説明する。

A: 概要説明

本発明は、外部から供給される各種の図形情報に基づき、CRT表示用の画像信号をリアルタイムで合成出力可能な装置に関するものである。

第2図には、本発明を用いた疑似3次元画像合成装置の好適な1例が示されており、実施例の装置は、画像情報供給源10、フィールドプロセッサ回路12及び本発明の画像合成装置14からなる。

前記画像情報供給源10は、3次元の立体情報を扱い、これに回転、平行移動、透視投影等の各種変換を施して、表示すべき3次元情報を2次元の図形の組合せ情報に変換し、これを疑似3次元情報として出力している。

この疑似3次元情報には、図形の形状、位置、優先度等の他、例えばカラーコード、及びその他

- 16 -

- 15 -

の付随データが含まれている。

前記フィールドプロセッサ回路12は、このようにして出力される疑似3次元情報に基づき、CRT上に表示される各図形の輪郭を演算する。そして、各多角形の輪郭点を、対応する付随データとともに輪郭点情報として順次出力している。

そして、本発明の画像合成装置14は、このようにして出力される輪郭点情報に基づき、CRT表示用の疑似3次元画像信号をリアルタイムで演算出力する。

(以下余白)

B: 実施例

第1図には、前記疑似3次元画像合成装置を用いて形成された飛行機用操縦シュミレータ装置の好適な1例が示されている。

B1: 画像情報供給源

本実施例において、画像情報供給源10は、飛行中における各種フライト条件のシュミレーション画像を演算し、このシュミレーション画像を複数多角形の組合せ情報として、コミュニケーションメモリ28を介してフィールドプロセッサ回路12へ向け出力している。

* 着眼点

ところで、画像情報供給源10から出力される画像のリアリティを高めるためには、扱う情報量が多い程有利となる。

この反面、画像情報供給源10の高速化を図るためには、扱う情報量が少い程有利となる。

従って、画像情報供給源10から出力される信号のリアリティを高め、しかもその高速化を可能

- 17 -

-509-

- 18 -

とするためには、少い情報量でよりリアリティのある画像を得る信号処理を工夫する必要がある。

このためには、画像情報供給源10の出力する疑似3次元情報から、有用性の低い情報を必要に応じて順次削除すれば良い。本出願人は、このような観点に立って、次の4つのポイントについての検討を行った。

ポイント1

3次元物体に関する情報の内、最も有用性の低い情報は、物体の内部に関するものである。

これは、物体が半透明でない限り、その内部は目に見えず無視することができるからである。

従って、3次元画像情報として扱うものは、物体表面に関する情報に限れば充分であることが理解される。

ポイント2

また、物体の表面細部における情報が損なわれることを我慢すれば、物体の表面形状は、これを

- 19 -

従って、このような組合せ表示に用いられる図形の種類の、円、楕円又は多角形のいずれか1種類に限定することが好ましい。

このため、任意の図形の組合わせ表示という観点にたつて、これら各図形をそれぞれ検討してみると、フレキシビリティの点で多角形がもっとも有利である。

実施例の画像情報供給源10は、このような観点に基づいて形成されており、各3次元物体を複数の多角形の組合せ情報として順次演算出力している。

このようにすることにより、実施例の画像情報供給源10は、よりリアリティのある画像信号を合成するために必要な情報を、高速で演算出力することが可能となる。

*構成

以下、本実施例の画像情報供給源10の具体的な構成を詳細に説明する。

実施例において、この画像情報供給源10は、

「平面図形」の組合せから成る集合体と見なして簡略化することができる。

従って、物体表面の情報を、図形形状及び色情報等から成る「平面図形」のみに限定すれば、扱う情報量を更に少ないものとすることが可能となる。

ポイント3

前記ポイント2で絞られた図形形状に関する情報を、更に限定して、円、楕円、多角系等、なんらかの規則に従って単純化された図形形状に限定することにより、扱う情報を更に少ないものとすることが可能となる。

ポイント4

前記ポイント3で単純化された図形形状としては、円、楕円、多角形等が考えられる。しかし、このような複数の図形形状を適宜選択使用すると、回路全体が複雑化するばかりでなく、「図形の種類の選択」という新たな情報が必要となる。

- 20 -

操作部20、メインCPU回路22、3次元情報メモリ24、3次元演算回路26を含む。

そして、前記操作部20は、実際の飛行機の操縦席と全く同じに形成され、その操作内容は、スイッチや可変抵抗器を介して電気信号に変換され、メインCPU回路22に向け出力されている。

メインCPU回路22は、シュミレータとしての動作の中枢部をなすものであり、操作部20から出力される信号に基づき、飛行機の飛行位置を表すデータを演算し3次元演算回路26へ向け出力する。

また、このメインCPU回路22は、3次元演算回路26から出力される各種の状況信号、例えば「飛行機が他の物体に衝突した」、「飛行機が乱気流に入った」、「飛行機が目的地に到達した」等の情報を受け取り、これに応じた状況データを演算し、3次元演算回路26へ向け出力している。

また、前記3次元情報メモリ24には、あらゆる物体が多面体として表現され、この多面体の各頂点を表す3次元座標データと、多面体の各表面

を各頂点の繋がりとして表す多角形データとが書き込み記憶されている。ここにおいて、前記各多面体データは、固定座標系を用いて表されている。

また、前記3次元演算回路26は、メインCPU回路22の演算する飛行機の現在位置に基づき、3次元情報メモリ24に格納された各種多面体データを参照しながら、飛行機から見える光景を演算する。そして、その光景を図形情報の組合せとしてコミュニケーションメモリ28に向け出力している。

*作用

実施例において、このような多角形情報の演算は、次のような手順に従って行われる。

第3図に示すごとく、実施例の3次元演算回路26は、飛行機を原点とした移動座標系を想定し、図中右方向をX座標、下方向をY座標、前方向をZ座標に設定している。

そして、メインCPU回路22から、飛行機の現在位置を表す移動座標が出力されると、この3

次元演算回路26は3次元情報メモリ24から所定の多面体データの読み出しを行う。

実施例において、3次元情報メモリ24に書込まれた情報は、固定座標系を用いて表されているため、3次元演算回路26は、メモリ24から読出した情報を移動座標系の座標データに変換する必要がある。

この変換には、座標の回転と平行移動という2つの演算要素の組合わせで実現することができ、この変換の過程において、パイロットの視野に入らないことが判明した情報($z < 0$ 等)が除去される。変換により求められた状況データは、メインCPU回路22へ向け出力される。

そして、座標変換された各多面体情報は、次に表示画面が $z = 0$ の平面上にあるとして、 $z < 0$ の視点に向って透視投影変換される。

このような透視投影変換により、前記各多面体データは、多面体の各頂点座標をX, Yの2次元に変換した点情報の集まりとして表される。

また、このような透視投影変換を行うにあたり、

- 23 -

視点と多面体の各頂点座標との距離を求めておく。

そして、前記透視投影変換により求められた2次元の点情報(多面体の頂点座標)を、多面体表面を表す各多角形毎に分類し、分類した多角形がパイロットの視野すなわち画面の視野に入るか否かをチェックする。

本実施例において、フィールドプロセッサ回路12及び画像合成装置14は、その受付け座標範囲が、前記視野よりも幾分広く設定されている。

このため、3次元演算回路26は、得られる情報を多角形ごとにチェックし、視野に全く入らない多角形は除去し、一部は視野に入るが残りは受付け座標範囲を越えているような多角形は受付け座標範囲に入るように適当な変形を施している。

その後、この3次元演算回路26は、受付け座標範囲に入る多角形に対し、視点からの距離の代表値を決定する。

そして、前記代表値の小さい多角形から順に、優先度の高い多角形情報としてコミュニケーションメモリ28に向け出力する。

- 25 -

- 24 -

*付随データ

このとき、コミュニケーションメモリ28に向け出力される各多角形情報には、多角形の各頂点の2次元座標データ(X, Y)のみならず、付随データが含まれる。

前記付随データとしては、例えば多角形のカラーコード、輝度情報や、他の画像との合成等に有用なZ軸座標値、等が考えられる。また、これ以外にも、例えばこの多角形の傾きを付随データとして与えておけば、面の傾きと光の方向との関係で当該多角形の明るさをその後の演算処理により決定することも可能である。

なお、本実施例においては、説明を簡単にするために、付随データとしてカラーコードが出力されるものとして以後の説明を行う。

以上説明したように、実施例の画像情報供給源10は、パイロットの視野に入る情景を複数の多角形情報の組合せに変換し、優先度の高い多角形情報から順次コミュニケーションメモリ28へ向

- 26 -

け出力することになる。

*コミュニケーションメモリ

そして、前記コミュニケーションメモリ28は、画像情報供給源10とフィールドプロセッサ回路12とのインターフェースとして機能し、画像情報供給源10から出力される多角形情報を、その優先度の高い順にフィールドプロセッサ回路12へ向け出力している。

(以下余白)

- 27 -

出し、これをその内部レジスタに格納する。

そして、このようにして読出した多角形情報に含まれる頂点座標データに基づき、多角形Aの輪郭線がCRTの各水平走査線と交差する輪郭点位置の演算を行う。

ところで、ある1本の走査線上に所定の図形が存在する場合を想定すると、この走査線上には、図形の輪郭点が必要少くとも2個存在する(多角形の頂点は除く)。この2つの輪郭点をその位置によって「左輪郭点」と「右輪郭点」と定義し、両者合せて「輪郭点ペア」と定義することにする。

通常、このような輪郭点ペアは、1個の図形を考えてみると左右1組存在するのみであるが、特殊な凹多角形等に関しては、複数組存在する場合もある。

実施例のフィールドプロセッサ回路12は、演算により求めた各輪郭点位置を、各走査線毎に輪郭点ペアとしてまとめる。

そして、このようにして求めた各輪郭点ペアと、図形の付随データとを含む輪郭点情報を画像合成

- 29 -

B2: フィールドプロセッサ回路

フィールドプロセッサ回路12は、輪郭点情報演算手段として機能し、入力される多角形情報に基づき、CRT上に表示される多角形の輪郭を演算出力する。

実施例において、前記画像情報供給源10から優先度の高い順に出力される多角形情報は、CRTのフィールド走査(奇数フィールドまたは偶数フィールドへの走査)に同期して更新される。

このため、実施例のフィールドプロセッサ回路12は、フィールド走査時間を1周期として動作し、この間に入力される多角形情報を優先度の高い順に内部レジスタに格納する。

従って、画像情報供給源10から、例えば第4図(A)に示すように、多角形A、B、Cを表す多角形情報が順次出力される場合を想定すると、フィールドプロセッサ回路12は、まず優先度の最も高い図形Aの各頂点a1, a2, a3, a4を表すX、Y座標データと、当該図形の付随データ(カラーコード)と、を図形Aの多角形情報として読

- 28 -

装置14へ向け出力する。

その後、フィールドプロセッサ回路12は、多角形B、Cに対しても同様にしてその輪郭点情報を順次演算し、求めた輪郭点情報を画像合成装置14へ向け出力する。

このようにして、本実施例のフィールドプロセッサ回路12からは、各多角形A、B、Cの各輪郭点ペア及び付随データから成る輪郭点情報がその優先度の高い順に順次演算出力されることとなる。

ところで、本実施例において、各多角形の優先度は、フィールドプロセッサ回路12から出力される輪郭点情報の出力順序を用いて表されており、例えば多角形A、B、Cを例にとれば、その優先度の高い多角形A、B、Cの順にその輪郭点情報が出力されている。

しかし、これとは逆に、フィールドプロセッサ回路12から優先度の低い順に輪郭点情報を出力することにより、各多角形A、B、Cの優先度を表すことも可能である。

- 30 -

更に、これ以外にも、例えば各多角形A、B、Cの給郭点情報中にその優先度を表す専用のデータを含ませることも可能である。この場合には、フィールドプロセッサ回路12から、各多角形A、B、Cの給郭点情報をその優先度に関係なくランダムに出力することが可能となる。

*多角形認識番号

また、本実施例のフィールドプロセッサ回路12は、後述する記憶回路32内に付随データメモリ44が設けられている場合には、各多角形A、B、Cに対応する多角形認識番号を発生し、この認識番号を前記給郭点ペア及び付随データとともに記憶回路32へ向け出力する必要がある。

(以下余白)

- 31 -

走査線の本数と等しい数の水平走査記憶エリアに分割され、各記憶エリアにはY座標に対応したアドレスが与えられている。

従ってフィールドプロセッサ回路12から出力される各多角形A、B、Cの給郭点情報は、そのY座標に対応した水平走査記憶エリア内の空き領域に、順次書き込み記憶されることとなる。

*データ書き込み順序

本実施例の装置は、この水平走査記憶エリアに対する給郭点情報の書き込み順序を用いて、各多角形A、B、Cの優先度を表している。

すなわち、実施例のフィールドプロセッサ回路12は、優先度の高い多角形A、B、Cの順に給郭点情報を出力する。従って、実施例のフィールドメモリ42内の各水平走査記憶エリア内には、まず優先度の最も高い多角形Aの給郭点情報が書き込まれ、これに続いて多角形B、Cの順に給郭点情報が順次書き込まれることとなる。

従って、例えばY=20で指定される水平走査

B3：画像合成装置

本発明の画像合成装置14は、このようにして優先度の高い順に入力される各多角形A、B、Cの給郭点情報に基づき、CRT表示用の画像信号を合成出力している。

実施例において、この画像合成装置14は、記憶回路32と、ラインプロセッサ回路34と、付随データメモリ36とから構成されている。

(a) 記憶回路

a-1. フィールドメモリ

本実施例において、この記憶回路32は、給郭点情報記憶手段として機能し、通常、フィールドメモリ42を用いて形成されている。そして、CRTの1画面上に表示される全ての多角形の給郭点情報を記憶する。

第4図(B)には、このフィールドメモリ42の概念図が示されており、そのメモリ空間は、走査線と1対1に対応するよう、1画面を構成する

- 32 -

記憶エリアを例にとると、この記憶エリア内には、アドレスの小さい順に多角形A、B、Cの各給郭点情報が書き込まれることになる。

なお、これとは逆にフィールドプロセッサ回路12から、優先度の低い多角形C、B、Aの順に給郭点情報が出力される場合には、前記給郭点情報を優先度の低い順に水平走査記憶エリア内に書き込み記憶すれば良い。

このようにして、フィールドプロセッサ回路12から出力される各給郭点情報中に専用の優先度データが含まれない場合には、フィールドメモリ42内の各水平走査記憶エリア内に書き込む給郭点情報の順序を用いて、各多角形の優先度を表すことができる。

なお、フィールドプロセッサ回路12から出力される各給郭点情報中に専用の優先度データが含まれている場合には、これら各給郭点情報をその優先度とは無関係に水平走査記憶エリア内に書き込み記憶可能であることは言うまでもない。

- 33 -

- 513 -

- 34 -

*ワード構成

ところで、このようにして蓄込まれる各多角形の始郭点情報(専用の優先度データを含むものは除く)に注目してみると、これら各始郭点情報は、左始郭点のX座標 X_L 、右始郭点のX座標 X_R 及び多角形の付随データの3者からなる。

このような多角形情報の書込みは、各水平走査記憶エリアのワード構成をどのようにしても行えるが、実際的なワード構成としては、次に述べる3つのものが考えられる。

①1つの始郭点情報の格納に1つのワードを用い、1つのワード内に始郭点情報を構成する左始郭点、右始郭点及び付随データの全てを格納する。

②1つの始郭点情報の格納に2つのワードを用いる。そして、左始郭点及び右始郭点をそれぞれ各ワードに割当て、付随データもこれを2等分してそれぞれのワードに割り当てる。

③1つの始郭点情報の格納に3つのワードを用いる。そして、左始郭点、右始郭点及び付随デ

ータをそれぞれのワードに格納する。

本実施例においては、前記いずれのワード構成を採用することも可能であるが、使用するワード数が少い程データのアクセスが速くなることは言うまでもない。

また、前記①～③のいずれのワード構成を採用するかによって、フィールドプロセッサ回路12による始郭点情報の書込み方法が異なるものとなる。

まず、①のワード構成を採用した場合には、3つの書込み方法が考えれる。

まず第1の方法としては、1つの多角形の始郭点を演算する過程で、始郭点ペアが求まった始郭点情報から順次蓄込んでいく方法がある。

この場合には、片方の始郭点を一時記憶するためのメモリが必要である。そして、最初に求まった始郭点を一旦このメモリに記憶しておき、これと対をなす他方の始郭点が求まった時点で双方の始郭点を始郭点ペアとして書込み記憶する。

第2の方法としては、リード・モディファイ・

- 35 -

ライト(読出し、修正、書戻し)を用いたものがある。

この方法によれば、多角形の始郭点演算過程において、始郭点ペアの一方の始郭点が求まると、直ちに付随データとともにその書込みが行なわれる。そして、その後始郭点ペアの他方の始郭点が求まった時点で、先に蓄込んだ始郭点を読み出し、新に求めた始郭点とともにその書込みを再度行う。

なお、付随データはこの時同時に書き込んでも良いし、他の時点で書き込んでもかまわない。

第3の方法は、1つの多角形の始郭点を求める手順そのものが先の2つの方法と異なる。最大点または最小点を起点として左右始郭点を同時進行で求め、付随データとともに書き込みを行う方法である。この方法では始郭点を演算する回路がやや複雑になる。

なお、前記②③のワード構成を採用した場合には、フィールドプロセッサ回路12は、1つの多角形の始郭点演算過程において始郭点が求まるごとに直ちにその書込みを行うこととなる。特に、

- 36 -

③のワード構成を採用した場合には、始郭点とは別に付随データのみを該当するワードに書込む必要がある。

a-2. 付随データメモリ

ところで、前記付随データに着目してみると、この付随データは、前述したように、原則的にフィールドメモリ42内へ始郭点ペアと1纏めにして書込み記憶される。

しかし、フィールドメモリ42内における付随データの記憶構造は冗長であるため、付随データのビット数が大きな場合には、専用の付随データメモリ44を別途に設けることが好ましい。

この場合、フィールドプロセッサ回路12は、始郭点情報として、始郭点ペア及び付随データの他に、多角形認識番号を出力する。

そして、付随データメモリ44内には、前記多角形認識番号をアドレスとして付随データが書込まれることになる。

一方、フィールドメモリ42内には、付随デ

- 37 -

-514-

- 38 -

タの代わりに多角形認識番号が書込まれることになる。

通常、付随データは、例えば色情報、輝度情報等のビット数が少ない簡単なものが多く、このような場合には、前記付随データメモリ44が必要とされることは少い。

しかし、このような付随データに、前記色情報等に加えて、例えば多角形どうしを合成するために用いる座標値、及びその他の特殊機能に関連する情報が含まれているような場合には、付随データを構成するビット数が極めて多くなり、専用の付随データメモリ44が必要となるのである。

(b) インデックスメモリ

インデックスメモリ36は、フィールドメモリ36の水平走査記憶エリアに書込まれた複数の輪郭点情報に含まれる付随データを、その優先度に従って各アドレスに書込み記憶するよう形成されている。

第5図には、実施例のインデックスメモリ36

のフォーマットが示されている。

実施例のインデックスメモリ36は、後述するラインプロセッサ回路34が、水平走査信号に同期してその垂直走査位置に対応する水平走査記憶エリアから各輪郭点情報を読み出すと、各輪郭点情報に含まれる付随データを、その優先度と対応をもって設定された各アドレスに順次書込み記憶するよう形成されている。

実施例においては、優先度の高い順に「0」「1」「2」…のアドレスが与えられる。

従って、例えば多角形A、B、Cの付随データがそれぞれ赤、青、黄色のカラーコードをそれぞれ表すものである場合には、このインデックスメモリ36のアドレス0、1、2にはそれぞれ赤、青、黄色のカラーコードが書込まれることになる。

(c) ラインプロセッサ回路

ラインプロセッサ回路34は、CRTの水平走査に同期して、この垂直走査位置と対応する水平走査記憶エリアから各多角形の輪郭点情報の読みを行う。

- 39 -

* 読出順序

このとき、前記輪郭点情報の読出しをどのような順序で行うかが問題となる。

たとえば、各多角形A、B、Cの優先度が水平走査記憶エリアに対する輪郭点情報の書込み順序を用いて表されている場合には、書込んだ順又はその逆の順に読み出せば、前記輪郭点情報は各多角形の優先度順(高い順若しくは低い順)に読み出されるので、その順序に基づき各輪郭点情報の優先度を自動的に判別することができる。

また、これ以外に、例えば輪郭点情報中に専用の優先度データが含まれている場合には、水平走査記憶エリアから各輪郭点情報をランダムに読出し可能であることが言うまでもない。この場合には、各輪郭点情報の優先度を、その後優先度データに基づいて判別すれば良い。

ところで、本実施例において、前記フィールドメモリ42内の各水平走査記憶エリア内には、各多角形の輪郭点情報がその優先度の高い順に書込まれている。

- 40 -

実施例のラインプロセッサ回路34は、各水平走査記憶エリアからの輪郭点情報の読出しを、書込みと同様にその優先度の高い順に行なっている。

例えば第4図に示すY=20のラインを水平走査する場合を想定すると、ラインプロセッサ回路34は、フィールドメモリ42内におけるY=20の水平走査記憶エリアから、まず多角形Aの輪郭点情報を読み出し、次に多角形B、多角形Cの順に輪郭点情報を順次読出す。

* 付随データの書込み

そして、このラインプロセッサ回路34は、読出した各輪郭点情報に含まれる付随データを、その優先度に従い、第5図に示すインデックスメモリ36内の各アドレスに順次書込み記憶する。

従って、例えば多角形A、B、Cの各輪郭点情報中に、赤、青、黄のカラーコードが付随データとしてそれぞれ含まれている場合を想定すると、インデックスメモリ36には、第5図に示すように、その優先度に基づいた各アドレスに赤、青、

- 41 -

- 515 -

- 42 -

黄のカラーコードが蓄込まれることになる。

*読出しアドレスの発生

これと並行して、実施例のラインプロセッサ回路34はCRTの水平走査に同期して、付随データの読出しアドレスを前記インデックスメモリ36へ向け出力している。

すなわち、実施例のラインプロセッサ回路34は、前述したように、水平走査信号に同期して、その垂直走査位置と対応する水平走査記憶エリアから各輪郭点情報をその優先度順に順次読出している。

そして、読出された各輪郭点情報に含まれる輪郭点ペア指定領域内で水平走査が行われている場合に、対応する付随データ読出しアドレスをその優先度に基づきインデックスメモリ36へ出力している。

従って、例えば多角形A、B、Cの各輪郭点情報中に、赤、青、黄のカラーコードが付随データとしてそれぞれ含まれている場合を想定すると、

- 43 -

実施例において、ラインプロセッサ回路34及びインデックスメモリ36は、このような画像信号の合成をCRTの水平走査に同期して繰り返して行う。このため、CRT40上には、画像情報供給源10から出力されるシュミレーション画像が多角形の組合せ情報として良好に表示されることになる。

なお、記憶回路32内に、前記フィールドメモリ42以外に付随データメモリ44が設けられている場合には、ラインプロセッサ回路34は、まず、フィールドメモリ42から前述した場合と同様に輪郭点情報を読出し、この輪郭点情報中に含まれる多角形認識番号をアドレスとして、付随データメモリ44から該当する付随データを読出せばよい。

なお、本実施例においては、フィールドプロセッサ回路12から出力される多角形の輪郭点情報に基づき、画像信号を合成出力する場合を例にとり説明した。

しかし、本発明はこれに限らず、例えばフィー

水平走査が多角形A、B、Cの左輪郭点位置及び右輪郭点位置で囲まれている領域で行われている場合に、該当するカラーコード読出しアドレスをインデックスメモリ36へ向け出力することになる。

このとき、第4図に示す $Y=20$ のラインのように、多角形A、B、Cに互いに重複する領域がある場合、ラインプロセッサ回路34は、優先度の高い多角形のカラーコードが優先して読出されるよう付随データ読出しアドレスを出力する。

このようにして、本実施例の画像合成装置14は、各多角形A、B、Cの輪郭点ペア指定領域内で水平走査が行われている場合に、該当する付随データ(カラーコード)がリアルタイムで出力されるよう、1水平走査分の画像信号が合成出力されることとなる。

そして、このようにして出力される1水平走査分の画像信号は、カラーパレットメモリ38内においてカラー信号に変換され、CRT40へ向け出力される。

- 44 -

ルドプロセッサ回路12から多角形以外の図形、例えば、円、楕円等の輪郭点情報が出力されるような場合でも、同様に画像信号を合成出力可能であることは言うまでもない。

(d) 本実施例と従来装置との比較

①本実施例の装置では、いわゆる付随データの塗り潰し処理という作業が不要となる。

すなわち、従来のビットマップ・ディスプレイの方式を用いた画像合成装置では、ビットマップメモリ内に画像の輪郭線を設定し、その後この輪郭線内を所望の付随データで塗り潰していくといういわゆる「塗り潰し作業」が必要となるため、画像合成を短時間で行うことができない。

特に、図形表示を優先度の高い図形から順に行った場合、いわゆるリード・モディファイ・ライトが必要となるため、塗り潰し作業に要する時間は更に増大し、前記塗り潰し作業が画像の変化に対し追従できない場合が多く、動きの速い動画等のリアルタイム表示を得ることができないという

- 45 -

- 516 -

- 46 -

問題があった。

また、このような塗り潰し作業は、使用するバスラインを大容量のものとすることにより、高速で行うことも可能である。しかし、このようにすると、扱う情報量に比し、バスライン及びその他の部材の容量が大きくなり過ぎ、装置全体が大型でかつ高価なものになってしまうという問題が発生する。

これに対し、実施例の画像合成装置は、輪郭点ペアと切離して、付随データのみをインデックスメモリ36内に書込み、このようにして書込まれた付随データをラインプロセッサ回路34から出力される読出しアドレスに基づいて順次出力するよう形成されている。このため、従来装置のように、付随データの塗り潰し処理を全く行う必要がなく、画像合成を高速で行うことが可能となる。

従って、バスラインの容量を大きくすることができ、画像信号の合成をリアルタイムで行うことが可能となる。

- 47 -

することができる。

④本実施例の装置は、リアリティの高い疑似3次元画像をリアルタイムで合成出力することができる。

すなわち、本実施例の装置は、疑似3次元画像を表示するために、3次元物体の表面形状を、複数の多角形の集合体として取扱っている。

従って、本実施例によれば、前述したように、少ない情報、メモリ容量でよりリアリティの高い疑似3次元画像をリアルタイムで合成出力することが可能となる。

(以下余白)

- 49 -

②本実施例の装置では、使用するメモリの容量を少なくすることができる。

すなわち、本実施例の装置では、従来装置のビット・マップ・ディスプレイの方式のように、一画面全部のピクセルに対応したメモリ容量を必要とせず、使用するメモリの総容量を小さなものとする事が可能となる。

③本実施例の装置は、優先度の高い画像の脱落を伴うことなく、画像信号を良好に合成出力することができる。

すなわち、本実施例の装置では、フィールドメモリ42内の各水平走査記憶エリア内に多角形A、B、Cの輪郭点情報をその優先度の高い順に順次書込み記憶し、このようにして書込まれた各輪郭点情報を、ラインプロセッサ回路34を用いて優先度の高い順に順次呼出すよう構成することにより、なんらかの原因でデータの書込み読出し時間が不足した場合でも、最も優先度の高い図形の脱落を伴うことなく、画像信号を良好に合成出力

- 48 -

C：具体例

次に、本発明の装置の具体的な実施例を詳細に説明する。

C1：第1の具体例

第5図には、本発明にかかる装置の第1の具体例が示されており、実施例の装置は、次のような仕様に基つき水平走査線1本辺り64個の多角形を表示できるように形成されている。

(以下余白)

- 50 -

(a) 仕様

(イ) CRT (インターレース)

ピクセル数 576 × 448 個
(576 × 224 個 / フィールド)

走査線数 525 本
(262.5 本 / フィールド)

垂直同期周波数 60.015Hz
(垂直周期 16.663ms)

水平同期周波数 15.754KHz
(水平周期 63.477μs)

ドットクロック周波数
12.288MHz

(ロ) 多角形表示個数 (1画面) 1.024 個

(ハ) 多角形表示個数 (水平) 64個

(ニ) 入力情報の座標範囲

$0 \leq X \leq 4095, 0 \leq Y \leq 2047$

(ホ) 表示座標範囲

$2048 \leq X \leq 2623, 1024 \leq Y \leq 1471$

(回路上 $0 \leq X \leq 575, 0 \leq Y \leq 447$
とみなしている。)

- 51 -

場合には、他方の記憶エリアからは書込まれたデータの読出しが行われており、また一方の記憶エリアからデータの読出しが行われている場合は、他方の記憶エリアに新たなデータの書込みが行われることとなる。

第1表には、記憶エリアの切換周期が、各メモリ毎に示されている。(以下余白)

(b) デュアルポートRAM

また、本実施例の装置の各メモリ、例えばコミュニケーションメモリ28、フィールドメモリ42、インデックスメモリ36、マップメモリ62、サブマップメモリ64には、前段のプロセッサによるデータの書込みと、後段のプロセッサによるデータの読出しとが独立で行われる、いわゆるデュアルポートRAMを用いることが好ましい。

本実施例において用いられているこれらデュアルポートRAMは、それぞれ書込み及び読出し作業に必要とする容量の2倍の記憶容量を有し、そのメモリ空間が2つの記憶エリアに2等分されている。

そして、このように2等分された各記憶エリアは、前段のプロセッサ及び後段のプロセッサにより一定周期で交互にアクセスされるように形成されている。

従って、このデュアルポートRAMは、その一方の記憶エリアにデータの書込みが行われている

- 52 -

第1表

メモリ名	切換周期
コミュニケーションメモリ	フィールド
フィールドメモリ	フィールド
インデックスメモリ	ライン
マップメモリ	ライン
サブマップメモリ	ライン

- 53 -

- 54 -

(c) 画像情報供給源

本実施例において、画像情報供給源10はCRTのフィールド走査に同期して、優先度の高い順に多角形情報を順次出力している。

例えば第4図(A)に示す画像をCRT上に表示する場合、多角形情報は、その優先度に従って図形A、B、Cの順に順次出力される。

このようにして出力される各多角形情報には、その付随データと、多角形の各頂点座標データ(X、Y)が含まれている。

実施例において、前記付随データは、多角形の表示色を表すカラーコードから成るものとする。このカラーコードは、前記カラーパレットメモリ38のカラー信号読出しアドレスとして機能するものである。

また、前記各多角形の頂点座標データは、第7図(A)に示すよう、多角形の輪郭に沿ってa1、a2、a3、a4の順に、反時計回りに出力する必要がある。

これは、後述するように、フィールドプロセッ

サ回路12に裏返し多角形を除去する機能を発揮させるためである。

このようにして、コミュニケーションメモリ28内には、第7図(B)に示すように、多角形A、B、Cの多角形情報がその優先順位に従って書込まれることになる。

(d) フィールドプロセッサ回路

第8図には、本実施例のフィールドプロセッサ回路12の具体的な構成が示されている。

構成

実施例のフィールドプロセッサ回路12は、前処理回路46、除算回路48、線分回路50、輪郭点バッファ52、輪郭点カウンタ54を含む。

前記前処理回路46は、コミュニケーションメモリ28内に例えば第7図(C)に示すように書込まれた多角形情報を、その優先度に従って多角形A、B、Cの順に順次読出す。

そして、読出された多角形情報を、多角形を構

- 55 -

成する各辺の情報に整理して線分回路50へ向け出力する。この時、除算回路48は、多角形の各辺の傾きを演算するために用いられる。

また、線分回路50は、前処理回路46から入力されるデータに基づき、最初に優先度の一番高い多角形Aの輪郭点ペア群を演算し、次に多角形B、Cの順に輪郭点ペア群をそれぞれ演算する。

そして、演算した輪郭点ペアをカラーコードとともに輪郭点情報としてフィールドメモリ42へ順次書込んでいく。

ここにおいて、前記輪郭点バッファ52は、輪郭点ペアを得るために、先に求めた輪郭点を一時的に記憶しておくために用いられる。

また、前記輪郭点カウンタ54は、各水平走査線毎の輪郭点の数をカウントするレジスタ群として用いられる。

従って、この輪郭点カウンタ54は、このカウンタ値を2で割ると、1水平走査線上に表示される輪郭点ペアのカウンタとみなすことができる。これは、フィールドメモリ42の個々の水平走査

- 57 -

- 56 -

記憶エリアに対する書込みポインターに他ならない。

また、そのカウンタ値の最下位ビットは、左輪郭点及び右輪郭点からなる輪郭点ペアが完成したか、それとも輪郭点ペアの片割れしかできていないのかを示すフラグとして使うことができる。

動作

第9図～第13図には、前記フィールドプロセッサ回路12のフローチャートが示されている。

このフローチャート中には、次のような各種の変数が用いられており、大文字の変数の多くは実在するレジスタを表し、小文字の変数はバスライン上に現れる数値を表している。(以下余白)

- 58 -

X, Y: 多角形情報に含まれる各頂点の

X, Y座標値。

X₀, Y₀: 多角形の最初の頂点座標値。

X₁, Y₁: 辺の始点(有向線分としての)座標値

X₂, Y₂: 辺の終点(有向線分としての)座標値

Q (Quotient): 除算結果, 商。

すなわち辺の勾配

X, Y: 輪郭点の座標値

YE (Y End): 辺のプロット終了点の

Y座標値

XV (X Visible): 表示画面上における輪郭点のX座標値

BR(Buffer): 走査線番号Rに対応する輪郭点バッファ。

CR(Counter): 走査線番号Rに対応する輪郭点カウンタ。

まず第9図には、フィールドプロセッサ回路

12の全動作を表すフローチャートが示されており、このフィールドプロセッサ回路12は、新たなフィールド走査が行われる度に所定のフィールド処理動作をくりかえして行う。

第10図には、第9図に示すフィールド処理動作が示されている。

実施例の装置は、まず新たなフィールド走査が開始されると同時に、224本の各水平走査線に対応して設定されたカウンタ54のカウント値C₀, C₁, C₂, ... C₂₂₃を0にクリアする。

そして、コミュニケーションメモリ28から優先順位の高い順に多角形情報を1つずつ読み出し、所定の多角形の処理動作を行う。

すなわち、実施例の装置は、読出しは多角形情報に基づき、当該多角形の全輪郭点ペアを演算する。そして、各輪郭点ペアをカラーコードと組合せ、輪郭点情報としてフィールドメモリ42内へ書き込み記憶する。

例えば、コミュニケーションメモリ28内に、

- 59 -

第7図(C)に示すような多角形情報が格納されている場合を想定すると、まず多角形Aに対して前述した処理を行い、この処理が完了した時点で、次に多角形B、多角形Cに対し順次同様の処理を行う。

そして、全多角形についての処理が終了した時点で、第4図(B)において斜線で示すように、フィールドメモリ42内の各水平走査記憶エリアに終了コードを書込む。具体的には、P=0, 1, 2, ... 223及びカウンタ54のカウントC₀, C₁, C₂, C₂₂₃の組合せをアドレスとして、前記終了コードの書込みを行う。

第11図には、第10図に示す1つの多角形の処理動作についてのフローチャートが示されている。

実施例において、例えば多角形Aについての処理動作が開始されると、この多角形Aの最初の頂点a₁のX, Y座標を読出し、次に頂点a₂のX, Y座標を読出す。

ここにおいて、X₀, Y₀, X₁, Y₁, X₂, Y₂はそ

- 60 -

れぞれ実際のレジスタを用いて設定され、X₂又はY₂に値をセットすると、自動的にその元の値がそれぞれX₁とY₁にセットされるように形成されている。なお、この時X₁, Y₁の元の値は自動的に消滅することとなる。

このようにして、頂点座標a₁とa₂のXY座標が読出されると、この読出し情報に基づき1つの辺a₁, a₂の処理動作が行われる。

このような動作を多角形の各辺a₁ a₂, a₂ a₃, a₃ a₄, a₄ a₁について順次行う。

第12図には、第11図に示す1つの辺の処理動作が示されている。

まず、実施例の装置は、対象となる辺の両端Y座標が一致しているか否かの判断を行う(ステップ120)。そして、両端のY座標が一致している場合には、この辺をプロットする必要がないものと判断しこの辺に対する処理動作を中止する。

つぎに、実施例の装置は、対象となる辺のY座標が、全ての点で画面外であるか否かの判断を行う(ステップ121, 122)。

- 61 -

- 520 -

- 62 -

そして、対象となる辺が、受付座標範囲内であっても、その辺を構成する全ての点でそのY座標が画面の外であるならば、この辺をプロットする必要がないものと判断し、この辺に対する処理動作を終了する(クリッピングの第1段階)。

次に、実施例の装置は、対象とする辺の傾きQを演算する(ステップ123)。

この時、辺の傾きは、実際には整数部と余りの2つに分けて求められるが、第12図においては、アルゴリズムの説明を簡単にするため、傾きQを実数とみなしている。

このようにすることにより、対象とする辺を表す式が次のようにして設定される。

$$X = Q \cdot Y + X1 - QY1$$

$$Q = \frac{Y2 - Y1}{X2 - X1}$$

次に、対象とする辺のどの端から給郭点を演算

- 63 -

作が行われない(クリッピングの第2段階)(ステップ127, 128)。

また、本実施例では、偶数フィールドと奇数フィールドの走査が交互に行われている。

従って、実施例の装置では、今行われている走査が偶数フィールドか奇数フィールドかを判断し、偶数フィールドの場合には、偶数の水平走査線(Y=0, 2, 4, ...)と交差する給郭点のみを演算し、奇数フィールドの場合には奇数の水平走査線(Y=1, 3, 5, ...)と交差する給郭点のみを演算するように動作する(ステップ129)。

第13図には、第12図に示す給郭点の処理動作(ステップ125)が示されている。

実施例の装置は、まずCRT画面の左側上隅を原点とした新たなXV座標を求める(ステップ130)。この新たなXV座標は本来のX座標から2048を差し引いた値である。

また、本来のX座標が画面の外にあるならば、これを画面の両端に表示するようにXV=0, XV=575にそれぞれ設定してやる(クリッピン

を開始するかを決定する(ステップ124)。このため、まず辺の両端のY座標、Y1, Y2のどちらかが大きいかを判断し、給郭点の演算がかならずY座標の増加方向に行われるよう、給郭点の演算開始点を初期設定する。

次に、対象とする辺が各水平走査線と交差する点、すなわち給郭点のX座標の演算を、その演算開始端から演算終了端に向けて順次行う。

例えば第4図(A)に示す辺a1, a2を例にとると、まずこの辺a1, a2とY=6の水平走査線と交差するX座標が求められる(ステップ125)。次に、Y=8, Y=10の水平走査線と交差する給郭点が順次求められる。

そして、水平走査線のY座標が、測定終了端として設定されたY座標YEとなった時点で、この辺a1, a2に対する給郭点演算動作を終了する(ステップ126)。

なお、対象となる辺a1, a2と交差するY座標が、画面の外側にある場合には給郭点を求める必要がないため、その位置における給郭点の演算動

- 64 -

作の第3段階)。

このようにして求めた新たなXV座標自体が、実施例のフィールドプロセッサ回路12が演算する給郭点のX座標となる。

そして、このようにして給郭点が求まると、次にこの給郭点を書込むアドレスRを演算する(ステップ131)。ここにおいて、関数int(X)は、Xを越えない最大の整数を表し、また、(Y-1024)は、画面の左上隅を原点とする新たなY座標を表している。

そして、前記アドレスRで指定されるに従いフィールドメモリ42内の水平走査記憶エリアに前記給郭点XVを格納し、当該エリアに対応して設けられたカウンタ54のカウント値CRをインクリメントする(ステップ132, 133)。

なお、カウンタ54のカウント値CRが偶数である場合には、左給郭点のみが求められている状態である。このため、求めた給郭点を次に右給郭点が求まるまでバッファ52内へ一時記憶しておき、カウンタ54のカウント値CRをインクリメ

ントする(ステップ134)。

また、本実施例の装置は、3次元の立体画像を2次元上に疑似3次元画像として表示するものである。

ところで、画像情報供給源10から出力される、立体表面側の多角形情報は、反時計回りにその頂点座標が与えられている。しかし、これとは逆に、立体の裏面側に位置する多角形は、時計回りに頂点座標が与えられた裏がえしの多角形情報として出力される。

このため、実施例の装置は、Y座標の増減と、輪郭点の大小とを組合せて比較し、裏返しが多角形情報の除去を行っている(ステップ135)。

なお、本実施例において、前処理回路46及び除算回路48が、第9図～第11図に示す動作及び第12図の前半の動作を扱い、線分回路50、輪郭点バッファ52及び輪郭点カウンタ54が、第12図後半及び第13図に示す動作のほとんどを扱っている。

また、前記フローチャートにおいては、説明を

簡単にするために直列処理を行う場合を例にとり説明しているが、必要に応じて並列処理、パイプライン処理を導入して高速化を図ることも可能である。

(e) フィールドメモリ

本実施例において、記憶回路32は、フィールドメモリ42のみからなり、付随データメモリ44は設けられていない。これは、とりあつかわれる付随データが、前述したようにカラーコードという比較的ビット数の少ないデータだからである。

このフィールドメモリ42は、1フィールド内に表される全多角形の輪郭点情報を記憶するものであり、実施例においては、28ビット×2¹⁵(32K)ワードのRAMで構成されている。

なお、このフィールドメモリ42は、前述したように、デュアルポートRAMとして実際の作業エリアの倍の容量を有するよう形成されている。このため、1つの作業エリアには、全容量の半分、すなわち28ビット×2¹⁴(16K)ワードの容量がある。

— 67 —

また、本実施例においてCRTは飛越し走査によって偶数フィールドと奇数フィールドとを交互に表示している。このため、このフィールドメモリ42のメモリ空間は、第4図(B)に示すように、偶数フィールドの各走査線(Y=0,2,4,...)又は奇数フィールドの各走査線(Y=1,3,5,...)にそれぞれ1対1に対応したブロックに分割されている。

ここにおいて、前記仕様のところで説明したとおり、1フレーム画面を構成するY座標は回路構成上448本であるため、奇数フィールド又は偶数フィールド中の走査線数は224本である。また、1本の水平走査線に表示される多角形の最大個数は64個である。

従って、1ワード中に1個の輪郭点情報(輪郭点ペアとカラーコードからなる。)を格納する場合を想定すると、実施例のフィールドメモリ42において実際に使用されている作業エリアは、28ビット×14336(=64×224)ワードとなる。

第14図(A)には、このフィールドメモリ4

— 68 —

2内に書込まれる輪郭点情報のフォーマットが示されている。各輪郭点情報は、8ビットのカラーコードと、10ビットの左輪郭点X座標X_Lと、10ビットの右輪郭点X座標X_Rと、を含む合計28ビットのデータからなる。

そして、フィールドプロセッサ回路12から順次出力される各輪郭点情報は、この輪郭点情報に含まれるY座標によって指定される水平走査記憶エリアに、その優先度に従って、アドレスの若い方から順に書込まれ、この記憶エリアの末尾には終了コードが書込まれる。

但し、水平走査記憶エリア内が64個の輪郭点情報で埋め尽された場合には、終了コードの書込は行われない。

また、実施例のフィールドメモリ42は、第14図(B)に示すごとく、3MHzのクロックに従いデータは書込み及び読出しが制御されている。そして、フィールドプロセッサ回路12から出力されるデータのクロックがHレベルのときに書込まれ、書込まれたデータの読出しはクロックがL

— 69 —

—522—

— 70 —

レベルの時に行われている。

なお、フィールドメモリはビデオ画面全体でなく、画面半分あるいは一部のみを記憶するようにしても良い。

(f) インデックスメモリ

また、実施例のインデックスメモリ36は、フィールドメモリ42から読出される走査線1本分の鉛点情報に含まれるカラーコードを、前記優先度番号をアドレスとして第5図に示すように記憶する。

ここにおいて、優先度番号とは、一本の走査線上に表示する多角形を、優先度の高い順に「0」「1」「2」…として表す番号である。

実施例において、水平走査線1本当りに最大64個の多角形が表示され、また、これら各多角形のカラーコードは、それぞれ8ビットデータからなる。

従って、実施例のインデックスメモリ36は、8ビット×64ワードのメモリ容量をもつRAM

を用いて形成されている。

(g) ラインプロセッサ回路

ラインプロセッサ回路34は、CRTの水平走査に同期して、フィールドメモリ42内の水平走査記憶エリアから多角形の鉛点情報を読出し、水平走査用の画像信号を合成出力するものである。

実施例において、このラインプロセッサ回路34は、第1のラインプロセッサ56、第2のラインプロセッサ58、鉛点マップメモリ60を含む。

第17図(A)には、このラインプロセッサ回路34の切替え動作を示すタイミングチャートが表されている。

前記第1のラインプロセッサ56は、CRTの水平走査に同期して、フィールドメモリ42内の所定の水平走査記憶エリアから多角形の鉛点情報をその優先度に従って順次読出す。

この時、各鉛点情報が読出される毎に、第1のラインプロセッサ56は優先度番号を発生する。

- 71 -

従って、例えば第4図に示す $y=20$ の水平走査記憶エリアから鉛点情報を読出す場合を想定すると、第1のラインプロセッサ56はその優先順位に従い、まず多角形Aの鉛点情報を読出し、次に多角形B、多角形Cの鉛点情報を順次読出す。

これと同時に、多角形Aの鉛点情報を表す優先度番号「0」を発生し、同様に多角形B、Cの鉛点情報を表す優先度番号「1」「2」を順次発生する。

そして、この第1のラインプロセッサ56は、読出し各多角形の鉛点情報に含まれる付随データを、前記優先度番号をアドレスとしてインデックスメモリ36にそれぞれ書き込み記憶する。

従って、前述したように、多角形A、B、Cのカラーコードが、赤、青、黄色をそれぞれ表すものである場合には、インデックスメモリ36内のアドレス0、1、2にはそれぞれ赤、青、黄色のカラーコードが書き込まれることとなる。

- 73 -

- 72 -

ところで、この第1のラインプロセッサ56による鉛点情報の読出しは、単にその優先度に基づいて行われるのみであり、そのX座標値とは無関係に行われる。

従って、実施例の装置では、読出された鉛点情報に含まれる鉛点ペアを、そのX座標上にマッピングしてやる必要がある。

実施例の第1のラインプロセッサ56は、このような鉛点ペアのマッピングを、鉛点マップメモリ60を用い行っている。

すなわち、読出された各図形の鉛点情報に含まれる左鉛点位置及び右鉛点位置をアドレスとして、鉛点マップメモリ60内に対応する優先度番号を書き込み記憶する。これと同時に、各鉛点情報に含まれる鉛点位置を鉛点マップメモリ60内に書き込み記憶する。

このような鉛点位置及び優先度番号のマッピング処理は、後述するマップメモリ62のみでも十分に行うことができる。

しかし、本実施例においては、前記マッピング

- 74 -

処理を更に高速で行うために、鉛郭点マップメモリ60を、マップメモリ62と、サブマップメモリ64とを用いて形成している。

マップメモリ

また、第15図には、前記マップメモリ62のフォーマットが示されている。このマップメモリ62は、1本の走査線を構成する各ピクセル数に対応して0~575のアドレスを有し、各アドレスには優先度番号記憶用に6ビットの記憶エリアが割当てられている。そして、フィールドメモリ42から鉛郭点情報が読出されるたびに発生する優先度番号は、その鉛郭点のX座標値をアドレスとして記憶される。

従って、このマップメモリ62は、1本の水平走査線に対する鉛郭点のビットマップメモリとして機能することとなる。

ここにおいて、実施例のマップメモリ62は、左鉛郭点と右鉛郭点との重複を許すために、左鉛郭点専用のマップメモリ62Lと、右鉛郭点専用

のマップメモリ62Rとから形成されている。

従って、例えばY=20のアドレスで指定されるフィールドメモリ42内の水平走査記憶エリアから、多角形A、B、Cの鉛郭点情報が読出される場合を想定すると、左鉛郭点用マップメモリ62L内には、アドレスXLB、XLC、XLAの各位置に、それぞれ優先度番号1、2、0が記憶されることになる。

同様にして、右鉛郭点用マップメモリ62R内には、アドレスXRC、XRB、XRAの各位置に優先度番号2、1、0がそれぞれ書込まれる。

なお、実施例のマップメモリ62は、1本の水平走査線を構成する576個のピクセルに対応して、それぞれ6ビットの記憶エリアを割当てている。このため、少なくとも6ビット×576ワード以上のメモリ容量を有するRAMを用いる必要がある。

サブマップメモリ

また、第16図には、前記サブマップメモリ

- 75 -

64のフォーマットが示されている。このサブマップメモリ64は、1本の水平走査線を構成する576個の各ピクセルに対応して鉛郭点の有無を表すフラグとして1ビットの記憶エリアが割当てられている。

ここにおいて、このサブマップメモリ64は、前記マップメモリ62と同様に、相異なる多角形の左鉛郭点と右鉛郭点との重複を許すために、左鉛郭点専用のサブマップメモリ64Lと、右鉛郭点専用のサブマップメモリ64Rとを用いて形成されている。

また、本実施例において、これらサブマップメモリ64は、第16図に示すように、8ビットを1ワードとしている。

そして、10ビット表示のX座標値の上位7ビットをアドレスとして用い、下位3ビットは各ワード内のビット選択用に用いられる。

なお、このサブマップメモリ64は、それぞれ576個の各ピクセルに1ビットの記憶エリアを割当てて必要があるため、少なくとも576ビット

- 76 -

以上の記憶容量を要するRAMを用いる必要がある。

なお、前述したマップメモリ62を、データの高速書込み及び読出しが可能で、かつ各鉛郭点情報に含まれる鉛郭点位置の情報を有するよう形成すれば、このサブマップメモリ64は省略することも可能である。

ラインプロセッサ

第18図には、本実施例のラインプロセッサ回路34の詳細な構成が示されている。

第1のラインプロセッサ

実施例において、第1のラインプロセッサ56は、CRTの水平走査に同期して該当する走査ラインの選択信号を出力するラインカウンタ70と、0番から順に優先度番号を発生する優先度番号カウンタ72と、を含み、これら各カウンタの出力を読出しアドレスとしてフィールドメモリ42へ向け出力する。

- 77 -

- 78 -

この結果、フィールドメモリ42からは、選択信号(Y座標データ)により指定された水平走査記憶エリアから、優先度番号により指定された輪郭点情報が読出されることになる。

この時、この読出された輪郭点情報中に含まれるカラーコードは、ラッチ回路76にラッチされ、また、左輪郭点の座標XL及び右輪郭点の座標XRの上位7ビットは、それぞれ対応するプリセットアップカウンタ78L、78Rに、又下位3ビットはラッチ回路80L、80Rにそれぞれ入力される。

そして、この第1のラインプロセッサ56は、ラッチ回路76に入力されたカラーコードを、その優先度番号をアドレスとしてインデックスメモリ36内へ書込み記憶する。

さらに、アップカウンタ78L、ラッチ回路80Lに入力された左輪郭点の座標XLと、ダウンカウンタ78L、ラッチ回路80Lに入力された右輪郭点の座標XRとをそれぞれアドレスとして、左輪郭点用のマップメモリ62L及び右輪郭

点用のマップメモリ62R内に、ラッチ回路74にラッチされている優先度番号を書込み記憶する。

さらに、実施例の装置は、前述した左輪郭点の座標XLと右輪郭点の座標XRとをそれぞれアドレスとし、左輪郭点用のサブマップメモリ64L及び右輪郭点用のサブマップメモリ64Rの輪郭点書込みフラグを「1」にセットする。

従って、たとえば第4図に示すY=20の水平走査記憶エリアから輪郭点情報を読出した場合を想定すると、前記インデックスメモリ60、マップメモリ62及びサブマップメモリ64内には、第5図、第15図及び第16図に示すように多角形A、B、Cの各データが書込まれることになる。

ところで、このようなデータの書込みに際し、考慮しなければならない問題が1つある。これは、複数の多角形の輪郭点情報を連続して読出した場合に、右輪郭点同志又は左輪郭点同志が同一のアドレスとなる複数の多角形が存在する場合である。

このような場合には、優先度の高い多角形の表示を妨げることがないように、優先度の低い多角形

- 79 -

の輪郭点を、例えば左輪郭点ならば右方向に、また右輪郭点ならば左方向にずらし込む必要がある。

本実施例のラインカウンタ56は、このようなずらし込み処理を行うため、左輪郭点ずらし込み回路82L、右輪郭点ずらし込み回路82R、比較回路84を設けている。

そして、たとえば左輪郭点のX座標として「0101101010」の10ビットデータが読出された場合を想定すると、第19図に示すように、この10ビットデータの上位7ビット「0101101(=45)」はカウンタ78Lを介してサブマップメモリ64Lに入力され、そのk番目のワードのアドレスを指定する(k=0101101=45)。

なお、前記10ビットデータの下位3ビット(010=2)はビット選択信号としてラッチ回路80Lに入力され、k番目のワード内における3番目のビットを指定する。

そして、サブマップメモリ64Lからは、第19図に示すように、指定されたk番目のワード

- 80 -

が左輪郭点ずらし込み回路82Lに向け読出される。そして、左輪郭点ずらし込み回路82Lは、ラッチ回路80Lによって指定される「010」の位置(第19図の矢印①であらわすビット)にすでに輪郭点情報が書込まれているか否かの判断を行う。

実施例において、この矢印①で示すビットには、すでに輪郭点情報が書込まれていることを示しているため、左輪郭点情報ずらし込み回路82Lはワード内で値が0であるビットのうち、ビット選択信号が①より大きく、しかも①のビット選択信号「010」に最も近いビットの検出を行う。

このような条件を満足するビット選択信号としては、①より3つ右に「101」のビット選択信号で指定されるビットが存在する。

従って、左輪郭点ずらし込み回路82Lは、新たな下位3ビットデータとして「101」を出力する。

この結果、実施例の装置では、「0101101101」の10ビットデータが、ずらし込み処

- 81 -

-525-

- 82 -

理された新たな左給郭点のX座標として出力されることになる。

また、右給郭点のずらし込み処理も、右給郭点ずらし込み回路82Rを用いて同様に行われる。この場合に右給郭点のずらし込みは、左給郭点の逆にX座標値の小さい方へ向けて行われる。

そして、このような左給郭点のずらし込みと、右給郭点のずらし込みは、フィールドメモリから給郭点ペアが読出されると同時に開始され、しかも並列処理によって独立して行われる。

そして、左給郭点及び右給郭点のずらし込み処理が完了した時点で、ずらし込み処理した新たな左給郭点及び右給郭点を用い、マップメモリ62及びサブマップメモリ64に対するデータの書き込みが行われる。

なお、サブマップメモリ64L、64Rから出力されるワードK内に、検出すべきビットが存在しない場合には、各ずらし込み回路82L、82RはそれぞれLFIND、RFIND出力を0に設定する。そして、対応するカウンタ78L、

78Rをそれぞれインクリメントまたはデクリメントし、サブマップメモリ64L、64Rの新たなワードからデータの読出しを行う。

そして、左給郭点座標をずらし込み回路82Lは、3ビット入力を「000」と見なし、また右給郭点ずらし込み回路82Rは3ビット入力を「111」として最適なアドレスの検出を同様に行う。

なお、このようなずらし込み処理の途中で、左給郭点のX座標が右給郭点のX座標と等しいかまたはより大きな値となる場合があり、実施例の比較回路84は、このような場合にキャンセル信号「1」を出力し、現在取扱っている給郭点ペアを無効とし各メモリへの書き込みは行わないようにしている。

そして、実施例のラインプロセッサ56は、フィールドメモリ42から終了コードが読出された時点で、あるいは64個の給郭点情報が読出された時点で、新たな水平走査が開始されるまで、休止状態となる。

- 83 -

そして、新たな水平走査が開始されると、その垂直走査位置に対応した水平走査記憶エリアを選択する信号がラインカウンタ70から出力され、前述の場合と同様にして給郭点情報の読出しが開始される。

第2のラインプロセッサ

また、このようにしてメモリ60、62、64にそれぞれ水平走査1本分のデータの書き込みが行われると、次に第2のラインプロセッサ58を用いて、水平走査1本分の画像信号が合成出力される。

第17図(B)には、第2のラインプロセッサ58のタイミングチャートが示されている。

第18図に示すように、実施例の第2のラインプロセッサ58は、CRTの水平走査位置を表すX座標値を10ビットデータとして出力するカウンタ90を有する。

そして、このカウンタ90から出力されるX座標値の上位7ビットを、サブマップメモリ64L、

- 84 -

64Rに向け「読出しアドレス」として出力している。

また、これと同時にカウンタ90から出力されるX座標値を、そのまま「読出しアドレス」としてマップメモリ62L、62Rに向け出力している。

そして、各サブマップメモリ64L、64Rからは、読出しアドレスにより指定されたワードに書き込まれている8個分の給郭点書き込みフラグが並列データとして読出される。そして、シフトレジスタ92L、92Rは、読出された各フラグを、マップメモリ62L、62Rからのデータの読出しタイミングと整合をとりながら並列直列変換し、デコーダ98L、98Rに向け順次出力する。

そして、このような読出し動作と連動して、ゼロ発生回路94L、94Rが動作し、サブマップメモリの今読出したワードをクリアする。

また、前記各マップメモリ62L、62Rは、ラッチ回路96を介して入力されるX座標値をアドレスとして、当該アドレスに書き込まれている左

- 85 -

- 526 -

- 86 -

給郭点及び右給郭点の優先度番号を対応するデコーダ98L, 98Rに向け出力する。

そして、左給郭点用のデコーダ98Lは、レジスタ92Lから給郭点情報の蓄込みを表す「1」のフラグが出力される場合にのみ、マップメモリ62Lから出力される左給郭点の優先度番号を有効なものとして判定し、この優先度番号により指定されるフリップフロップ100を「1」にセットする。

また、右給郭点用のデコーダ98Rは、同様にシフトレジスタ92Rから右給郭点が蓄込まれていることを表す「1」のフラグが出力されている場合にのみ、マップメモリ62Rから出力される右給郭点の優先度番号を有効なものとして判定し、この優先度番号により指定されるフリップフロップ100を「0」にリセットする。

本実施例において、前記フリップフロップ100は、1本の水平走査線上に表示可能な多角形の数に対応して64個設けられ、優先順位の高い順に100-1, 100-2, 100-3, ...

100-64と配列されている。

従って、第4図(A)の $y=20$ のラインを水平走査する場合を想定すると、第1のフリップフロップ100-1は、水平走査が優先順位の最も高い多角形Aの給郭点X_{LA}とX_{RA}との間で行われている場合にのみセット状態となる。

また、第2のフリップフロップ100-2は、水平走査が次に優先順位の高い多角形Bの給郭点の間で行われている場合にのみセット状態となる。

同様に、第3のフリップフロップ100-3は、水平走査が多角形Cの給郭点の間で行われている場合にのみセット状態となる。

そして、プライオリティーエンコーダ102は、それぞれのフリップフロップ100-1, 100-2, ... 100-64の出力に基づき、現在セット状態となっているフリップフロップ100のうち最も優先順位の高いものはどれかを判定する。そして、最も優先順位の高いフリップフロップと対応した優先度番号を、「付随データ読出しアドレス」として、遅延時間を整えるためのラッチ回

- 87 -

路104を介しインデックスメモリ60に向け出力する。

従って、第4図に示す $y=20$ のラインを走査する場合を想定すると、プライオリティーエンコーダ102は、CRTの水平走査がX_{LB}とX_{RB}の範囲で行われている場合には、優先度番号「1」を出力し、X_{LA}とX_{RA}の範囲内で行われている場合には、優先度番号「0」を出力することになる。

そして、インデックスメモリ60は、このようにして出力される優先度番号を「読出アドレス」として、対応するカラーコードをカラーパレットメモリ38に向け出力することになる。

例えば、インデックスメモリ60内に、第5図に示すように赤、青、黄のカラーコードが蓄込まれている場合を想定すると、プライオリティーエンコーダ102が優先度番号「1」を出力している間($X_{LB} \leq X < X_{RB}$)には青のカラーコードが出力され、また、優先度番号「0」が出力されている間は($X_{LA} \leq X < X_{RA}$)赤のカラーコードが出力されることになる。

- 88 -

従って、このようにカウンタ90の出力するX座標値(表示ピクセル位置)に対応して出力されるカラーコードをカラーパレットメモリ38に入力することにより、多角形A, Bを指定されたカラーで表示する映像信号がCRT40へ向け出力されることとなる。

そして、このような動作を、水平走査に同期して繰り返せば、画像情報供給源10から出力される多角形情報に基づき、CRT40上に所望の画像を表示することが可能となる。

(以下余白)

C2:第2の具体例

—ラインプロセッサ回路34の他の実施例—

次に、第1図に示すラインプロセッサ回路34の第2の具体例を第20図～第23図に基づき説明する。

本実施例のラインプロセッサ回路34の特徴的事項は、マップメモリ62及びサブマップメモリ64を用いることなく付随データの読出しアドレスを発生し、画像信号を合成出力することにある。

第20図には、本実施例に係るラインプロセッサ回路の具体的な回路構成が示されている。なお、第18図に示す第1の具体例と対応する部分には同一符号を付してその説明は省略する。

また、第21図には、実施例のラインプロセッサ回路34の切替動作を現すタイミングチャートが示されている。同図からも明らかなように、実施例の装置は、CRTの水平表示期間信号に対し約81.4ns先行してラインプロセッサ回路34の切替動作を行っている。

— 91 —

優先度番号をアドレスとして、第1のユニット回路110-1、第2のユニット回路110-2、…に向け順次書き込みパルスを出力している。

従って、例えばフィールドメモリ42から、第4図(A)に示す各多角形A、B、Cの給郭点情報が順次読み出される場合に、第1のユニット回路110-1には、優先度の最も高い多角形の給郭点ペアが書き込まれ、第2のユニット回路110-2、第3のユニット回路110-3には優先度が2番目、3番目の多角形B、Cの給郭点ペアがそれぞれ書き込まれることとなる。

また、本実施例において、前記カウンタ72は、メモリへの書き込動作を行う場合には、優先度番号を発生する優先度番号発生カウンタとして機能するが、書き込まれたデータに基づいて表示動作を行う場合には、「現在の水平走査位置」を現す10ビットデータを出力するX座標リアルタイム表示用のカウンタとして機能する。

このようなカウンタ動作の切り替えは図示しない制御装置を用いて行われている。

— 93 —

ここにおいて、フィールドメモリ42からの給郭点情報の読出しは、前記第1の具体例と同様にラインカウンタ70から出力される選択信号及びカウンタ72から出力される優先度番号に基づいて行われる。

そして、読み出された給郭点情報を記憶するために、実施例の装置にはインデックスメモリ36と、複数のユニット回路110とが設けられている。

前記インデックスメモリ36は、給郭点情報中に含まれるカラーコードを、カウンタ72の出力する優先度番号をアドレスとして順次記憶するものである。

また、前記ユニット回路110は、給郭点情報中に含まれる左右X座標が書き込まれるものであり、1本の水平走査線上に表示可能な多角形個数と対応して64個設けられている。そして、各ユニット回路110のアドレス指定を行うために、実施例の装置にはデコーダ98が設けられている。

このデコーダ98は、カウンタ72の出力する

— 92 —

第22図には、各メモリに書き込まれたデータに基づき、実施例の装置が表示動作を行う場合のタイミングチャートが示されている。

本実施例において、各ユニット回路110-1、110-2、…には、カウンタ72から現在の水平走査位置を表すX座標値が入力されている。

そして、各ユニット回路110-1、110-2、…は、現在の水平走査位置が書き込まれた給郭点ペアの範囲内にある場合にのみHレベルの信号をプライオリティエンコーダ102に向け出力している。

例えば、ユニット回路110-1、110-2、110-3にそれぞれ多角形A、B、Cの各給郭点ペア(XLA, XRA), (XLB, XRB), (XLC, XRC)がそれぞれ書き込まれた場合を想定すると、それらユニット回路110-1、110-2、110-3からは、Hレベルの信号がカウンタ72の出力するX座標値に対応して第22図に示すタイミングで出力される。

プライオリティエンコーダ102は、各ユニ

ット回路110-1, 110-2, …110-64に優先度番号を0, 1, 2, …の順に予め割り当てておく。そして、Hレベルの信号が出力されているユニット回路110のうち、最も優先度番号の小さいものを選択し、その優先度番号をインデックスメモリ60の「読出アドレス」として出力する。

従って、前述したように、ユニット回路110-1, 110-2及び110-3に多角形A, B, Cの始郭点ペアが囲まれている場合には、この始郭点ペア102からは第22図に示すごとく各ユニット回路110の出力に連動して「1」「0」「2」の順で優先度番号が出力されることになる。

なお、本実施例においては、インデックスメモリ60のアドレス入力にマルチプレクサ112が設けられ、メモリへの書き込み動作時にはカウンタ72の出力を選択し、またメモリからの読出し動作時にはプライオリティエンコーダ102の出力を選択するよう形成されている。

そして、このようにプライオリティエンコー

ダ102から優先度番号が出力されると、インデックスメモリ60は優先度番号で指定されるカラーコードをラッチ回路114を介してカラーパレットメモリに続け出力する。

従って、例えばインデックスメモリ60内に、第14図に示すように赤、青、黄色のカラーコードが書き込まれている場合を想定すると、プライオリティエンコーダ102が優先度番号「1」「0」「2」を出力している期間内は、これに対応して青、赤、黄色のカラーコードをラッチ回路114を介して出力することとなる。

このようにして、本実施例のラインプロセッサ回路34は、CRTの水平走査に同期して、各水平走査毎に画像信号を良好に合成出力することができる。

第23図(A)には、前記ユニット回路110の具体的な構成が示されており、実施例のユニット回路110は、左始郭点及び右始郭点用の一對のレジスタ116L, 116Rと、一對の一致検出回路118L, 118Rと、フリップフロップ

- 95 -

120とからなる。

そして、フィールドメモリ42から読み出される左始郭点のX座標及び右始郭点のX座標はそれぞれ左始郭点用のレジスタ116Lと右始郭点用のレジスタ116Rとに書き込まれる。

そして、この書き込みデータに基づき表示動作が開始されると、左始郭点用の一致検出回路118Lは、レジスタ116Lに書き込まれた左始郭点X座標とカウンタ72の出力するX座標値と比較し、両者が一致した場合にフリップフロップ120を「1」にセットする。

また、右始郭点用の一致検出回路118Rは、レジスタ116Rに書き込まれた右始郭点のX座標値とカウンタ72の出力するX座標値とを比較し、両者が一致した場合にフリップフロップ120を「0」にリセットする。

従って、フリップフロップ120は、カウンタ72の出力するX座標が左始郭点と右始郭点の範囲内にある場合のみ、Hレベルの信号をプライオリティエンコーダ102へ向けが出力することに

なる。

また、第23(B)図には、前記ユニット回路110の他の具体例が示されている。実施例のユニット回路110は、左始郭点用および右始郭点用の一對のダウンカウンタ122L, 122Rと、これら各カウンタに対応して設けられた一對のゼロ検出回路124L, 124Rと、フリップフロップ120とを含む。

そして、フィールドメモリ42から始郭点情報が読み出されると、この始郭点情報に含まれる左始郭点及び右始郭点の各X座標値は対応する各ダウンカウンタ122L, 122Rにそれぞれ書き込まれる。

これらカウンタ122L, 122Rは、ラインプロセッサ回路34の表示動作開始とともにそのダウンカウントを開始する。

そして、一方のゼロ検出回路124Lは、左始郭点用のダウンカウンタ122Lの出力が0となると同時にフリップフロップ120をセットし、また他方の0検出回路124は右始郭点用のダウ

ンカウンタ122Lの出力が0となると同時にフリップフロップ120をリセットする。

なお、本実施例においては、各カウンタ122のカウンタ動作をそのカウント値が0となると同時に停止させ、しかもプライオリティエンコーダ102側に停止カウンタの識別機能を設けることにより、フリップフロップ120を省略することも可能である。

なお、本実施例においては、フィールドメモリ42の水平走査記憶エリアから各多角形の給郭点情報を優先度の高い順に読出す場合を例にとり説明した。

しかし、仮にフィールドメモリ42内に、前述した場合とは逆に優先度の低い順に給郭点情報の書き込みが行われている場合には、その給郭点情報を優先度の低い順に読出し、対応する優先度番号を発生するよう形成することも可能である。

例えば第4図に示す $Y=20$ の水平走査記憶エリアに、優先度の低い方から多角形C, B, Aの順に給郭点情報が書き込まれている場合を想定する

と、これら各給郭点情報は多角形C, B, Aの順に読出され、これと同時に、各多角形の優先度番号が「2」「1」「0」の順に発生することになる。

またここで、給郭点情報の読出しを、書き込みと逆の順序で行えば、優先度番号は「0」「1」「2」の順に発生してもよい。

また、これ以外に、フィールドメモリ42内の各水平走査記憶エリア内に、各多角形の給郭点情報が専用の優先度データとともに書き込まれている場合がある。このような場合、実施例のラインプロセッサ回路34は、各給郭点情報を順次読出し、これら各給郭点情報に含まれる優先度データに基づいて優先度番号を発生するよう形成すれば良い。

(以下余白)

- 99 -

C3: 第3の具体例

- フィールドメモリ42の他の実施例 -

本発明において、フィールドメモリ42には、各水平走査線に対応した複数の水平走査記憶エリアが設けられている。

このような水平走査記憶エリアは、第4図(B)に示すように、フィールドメモリ42内のメモリ空間を、単純に全走査線数に対応した数の単位ブロックに等分割して設定することも可能である。

しかし、このようにすると、各ブロックのメモリ容量が固定され、1本の水平走査線上に表示し得る多角形の個数は、各ブロックのメモリ容量により制限されてしまう。このため、1つのブロックがオーバーフローしているにもかかわらず、他のブロック内に空き領域がたくさん存在するというような状況が頻発に発生し、メモリの利用効率が悪いという問題がある。

このような問題を解決するために、各水平走査記憶エリアを完全不連続型又は半不連続型とし、

- 100 -

そのメモリ容量をフレキシブルに設定可能に形成することが好ましい。

完全不連続型

第24図には、このようにして形成された完全不連続型フィールドメモリ42の好適な1例がされている。図において、このフィールドメモリ42のメモリエメージは、1画面当りのメモリ容量が16384($=2^{14}$)ワード、ブランキングを除く走査線数が224本/フィールドとして描かれている。

そして、このフィールドメモリ42の各ワード中には、「次のアドレス」を表す項目が含まれており、後段のラインプロセッサ回路34が、1ライン分の給郭点情報を連続的に読み出すことを可能にしている。

ところで、実施例のフィールドメモリ42は、1画面辺り16384($=2^{14}$)個のワードがあるため、次の読出アドレス指定を行うには14ビットのアドレスが必要となる。

- 101 -

-530-

- 102 -

従って、付随データ、左給郭点、右給郭点、次のアドレスのそれぞれに対し8ビット、10ビット、10ビット、14ビットのメモリ空間を割り当てると、1ワード辺り42ビットのメモリ空間が必要となる。

また、このようなフィールドメモリ42に対し、データの書き込みを行うためには、フィールドプロセッサ回路12内に、各CRTの水平走査線と1対1に対応した224個のスレーブポインタと、1個のマスターポインタとを設ける必要がある。

ここにおいて、各スレーブポインタは、同一水平走査記憶エリア内での、次に給郭点情報を書込むべきアドレスを指定するために用いられる。

また、マスターポインタは、スレーブポインタによって指定されるワードの、「次のアドレス」の欄に書き込まれるべきアドレスを設定するために用いられる。

このため、マスターポインタの出力するアドレスは、前記各スレーブポインタが指定しておらず、しかも未だデータが書き込まれていない領域

内の最も若いアドレスとなるように制御される。

次にこのスレーブポインタとマスターポインタとを用いて行われる給郭点情報の書き込み動作を説明する。

まず、データの書き込みに先立って、スレーブポインタ及びマスターポインタが初期化される。これにより、スレーブポインタは、対応する水平走査記憶エリアの先頭アドレス0, 1, 2, ... 223をそれぞれ指定する。また、マスターポインタは、アドレス224を指定する。

これに続いて、フィールドプロセッサ回路12による、給郭点情報の演算出力が開始されると、演算された給郭点情報はそのY座標により指定される水平走査記憶エリアに次のような手順に従って書き込まれる。

まず、フィールドプロセッサ回路12が、ライン上における最初の給郭点情報を演算すると、この給郭点情報のY座標に対応するスレーブポインタによって、フィールドメモリ42の書き込みアドレスが指定される。

- 103 -

そして、演算された給郭点情報は、指定されたアドレスの「付随データ」、「左給郭点」、及び「右給郭点」の欄にそれぞれ書き込まれ、また、指定されたワードの「次のアドレス」の欄には、現在マスターポインタが示しているアドレス「224」が書き込まれる。

次に、前記スレーブポインタは、「次のアドレス」の欄に書き込まれたマスターポインタのアドレスと同じアドレス「224」を示すように切替わり、これに連動してマスターポインタの出力するアドレスも増加して「225」となる。

この結果、このスレーブポインタは、次に同一のラインの給郭点情報が演算された場合には、アドレス224で指定されるワードの「付随データ」「左給郭点」「右給郭点」の各欄に給郭点情報を書き込み、また、「次のアドレス」の欄にそのとき表示されているマスターポインタのアドレスの書き込みを行う。

そして、この書き込み終了後、当該スレーブポインタは「次のアドレス」の欄に書き込まれた

- 104 -

マスターポインタのアドレスを新たに指定するようになり、これに連動してマスターポインタの出力するアドレスは、1つ増加することになる。

実施例のフィールドメモリ42では、このようにして、全多角形の給郭点情報の書き込みが終了すると、各スレーブポインタの示すアドレスに終了コードの書き込みを行う。

以上の構成とすることにより、各水平走査記憶エリアは、各ワードの「次のアドレス」の欄に書き込まれるアドレスにより結びつけられた1連の記憶エリアとして取り扱われることとなる。

従って、例えば、ラインプロセッサ回路34が走査線mに対応する水平走査記憶エリアから給郭点情報を読み出す場合を想定すると、この水平走査記憶エリアに書き込まれた給郭点情報は、フィールドメモリのアドレスmを起点として「次のアドレス」を参照しながら、終了コードが検出されるまでに、芋蔓式に読み出されることとなる。

第25図及び第26図には、このようにして構成されたフィールドメモリ42に対して用いられ

- 105 -

- 531 -

- 106 -

るラインプロセッサ回路34の一例が示されている。

ここにおいて、前記第25図は、第1の具体例として記載されたラインプロセッサ回路34の第1のラインプロセッサ56の一部を変更したものであり、第26図は、第2の具体例として記載されたラインプロセッサ回路34の一部を変更したものである。各図において、前記第1及び第2の具体例と対応する部材には同一符号を付してその説明は省略する。

実施例において、これら各ラインプロセッサ回路34は、CRTの水平走査に同期して該当する走査ラインの選択信号(Y座標データ)を出力するラインカウンタ70と、当該走査ラインの0番地指定用の6ビット情報を出力する0番地指定回路71aと、を含む。そして、この両者の出力を、水平走査記憶エリア内の先頭ワード読出しアドレスとしてマルチプレクサ71b、ラッチ回路71cを介してフィールドメモリ42へ向け出力する。

- 107 -

ところで、第24図に示すように、水平走査記憶エリアのメモリ容量を完全にフレキシブルに設定可能にすると、「次のアドレス」の欄に14ビット割り振らなければならないため、1ワードの構成単位が28ビットから42ビットに増え、フィールドメモリ42の総容量が約1.5倍に増えてしまうという問題がある。

このような問題を解決するためには、水平走査記憶エリアの記憶容量を、半不連続方式とすることが好ましい。

第27図には、このようなフィールドメモリ42の一例が示されている。

本実施例において、フィールドメモリ42のメモリ空間は、複数ワードから構成されたセクタブロック毎に等分割される。

この分割個数は、少なくとも全走査線の本数以上に設定する必要があるが、本実施例においては、1024個のセクタブロックに分割されている。

そして、各セクタブロックは、その最終ワードが、「次のセクタアドレス」に割当てられてい

- 109 -

この結果、選択信号(Y座標データ)により指定された水平走査記憶エリア内の先頭ワードから、始郭点情報の読出が開始されることになる。

この時、実施例の装置は、この読出しワードの「次のアドレス」の欄に留め込まれている14ビットの次のアドレスを同時に出力し、これをマルチプレクサ71bに入力する。

そして、マルチプレクサ71bは、自動的にフィールドメモリ42から読出される次のアドレスを選択し、ラッチ回路71cへ出力する。

従って、第24図及び第25図に示す各ラインプロセッサ回路34のラインカウンタ70から、例えば走査線mの選択信号が出力された場合を想定すると、この水平走査記憶エリアmからは、フィールドメモリ42のアドレスmを起点として、「次のアドレス」の欄を参照しながら終了コードが検出されるまで始郭点情報が逐次順次読出されることとなる。

半不連続型

- 108 -

る。

また、図において、セクタアドレスは、各セクタブロックを指定するアドレスであり、各セクタブロックの先頭アドレスを、セクタブロック内のワード数で割った値として表される。

本実施例においては、フィールドメモリの1画面分の容量を $16384 (= 2^{14})$ ワードとし、1セクタブロック当りのワード数を16 ($= 2^4$)に設定する。この結果、1画面分のセクタブロックは、 $1024 (= 2^{10})$ となり、セクタアドレスは0~1023の範囲で表される。

次に、このようにして形成されたフィールドメモリ42に対する始郭点情報の留込み動作を説明する。

このような留込み動作を行うためには、フィールドプロセッサ回路12内に、走査線の本数に対応した224個のスレーブポインタと、1個のマスタポインタとを用意する必要がある。

ところで、本実施例においては、各セクタブロック内に複数のワードが存在する。このため、

- 110 -

各走査線に対応して設けられたスレーブポインタは、各ワード毎に割付けられたアドレスを示しているのに対し、マスターポインタは、各セクタブロック毎に割付けられたセクタアドレスを示している点に注意する必要がある。

そして、フィールドプロセッサ回路12が、輪郭点情報の演算を開始すると、スレーブポインタ、マスターポインタの初期化が行われる。

この結果、各スレーブポインタは、セクタブロック0, 1, 2, ... 223の先頭アドレス0, 16, 32, ..., 3568を示し、また、マスターポインタは、セクタアドレス224を示すこととなる。

これに続いて、輪郭点情報の出力が開始されると、各輪郭点情報は、そのY座標に対応するスレーブポインタにより指定された空ワードに順次書き込まれる。そして、スレーブポインタは、輪郭点情報の書き込みが終了する度にそのアドレスをインクリメントし次の空ワードを指定する。

このようにして、各セクタブロックに対する輪

郭点情報の書き込みは、第4図(8)と同様にして進められる。

ところで、スレーブポインタが、あるセクタブロックの最終ワードを指定している場合に、ここに書き込むべき輪郭点情報が出力されると、次のような処理が行われる。

まず、スレーブポインタの示すアドレスに、マスターポインタの出力する値、例えば224が「次のセクタアドレス」として書き込まれる。

そして、マスターポインタにより指定されるセクタブロックの先頭番地が、スレーブポインタにセットされ、これと同時にマスターポインタの出力するセクタアドレスは1つ増加する。

その後、スレーブポインタが新に指定するアドレスに、前述した輪郭点情報が順次書き込まれ、その度スレーブポインタのアドレスが1つインクリメントされる。

以上の構成とすることにより、実施例のフィールドメモリ42によれば、前記第24図に示すフィールドメモリ42に比し、1ワード辺りのピッ

- 111 -

ト数を大幅に少なくすることが可能となる。

第28図及び第29図には、このような半不連続型フィールドメモリ42に対して輪郭点情報を読出すために用いられるラインプロセッサ回路34の構成が示されており、第28図は、前記第1の具体例に示されるラインプロセッサ回路34の第1のラインプロセッサ56の一部を変更したものであり、第29図は前記第2の具体例として表されるラインプロセッサ回路34の一部を変更したものである。

これら各ラインプロセッサ回路34は、いずれもラインカウンタ70、0番地指定回路71a、マルチプレクサ71b、ラッチ回路71c及びセクタ内選択用カウンタ71dを含む。

前記半不連続形フィールドメモリ42は、0から1023のセクタアドレスを有しており、これら各セクタアドレスはラッチ回路71の出力する読出しアドレスの上位10ビットで指定される。

実施例においては、CRTの水平走査に同期し、該走査ラインの水平走査記憶エリアの先頭セクタ

- 112 -

アドレスがラインカウンタ70および0番地指定回路71aから出力される。

そして、指定された各セクタ内の読出しワード指定信号は、セクタ内選択用カウンタ71dから順次出力される。

実施例において、1つのセクタが16ワードから構成されている。このため、セクタ内選択用カウンタ71dは、0から15までの各ワードに対する合計16個のワード指定アドレスをくりかえして出力する。

このセクタ内選択用カウンタ71dは、水平走査開始時に「0」になる。また、ラッチ71cは、セクタアドレスを出力するものであり、セクタ内選択用カウンタ71dが「0」になる瞬間にのみ、その記憶内容を更新する。また、マルチプレクサ71bは、水平走査開始時にのみラインカウンタ70の出力および0番地指定の2ビットの「0」を選択する。

また、ラインカウンタ70は、フィールド走査の開始時に「0」になる。

- 113 -

- 533 -

- 114 -

実施例における水平走査記憶エリアの読出しは次のように行われる。

まず、水平走査開始時に、ラインカウンタ70が走査線mに対応する水平走査記憶エリアの選択信号mを出力しているものとする。

このラインカウンタ70の出力mに2ビットの「0」を付加したものが、マルチプレクサ71bを経て、ラッチ71cに読込まれ、セクタアドレスとして出力される。

これと同時に、セクタ内選択用カウンタ71dが「0」にクリアされる。その結果、フィールドメモリ42のアドレス入力には14ビットのアドレス16mが入力される。

これは、走査線mに対応する水平走査記憶エリアの先頭アドレスであり、フィールドメモリ42からは最初の始郭点情報が読み出される。

以後、始郭点情報の処理が終ることに、ラッチ71cの出力するセクタアドレスは保持されたまま、セクタ内選択用カウンタ71dが1, 2, ... 14とカウントアップし、2番目, 3番目, ...

15番目の始郭点情報が読出される。

そして、セクタ内選択用カウンタ71dの出力する値が15になった時、フィールドメモリ42からは始郭点情報にかわって「次のセクタアドレス」が読出され、マルチプレクサ71bを経てラッチ71cに入力する。

更に引き続いて、セクタ内選択用カウンタ71dがカウントすると、その出力する値は再び「0」となり、同時にラッチ71cは次のセクタアドレスを出力するようになる。

このように、始郭点情報の読み出しは、セクタ内では連続的に行われるが、ひとつのセクタの読出しが終了する時点では、「次のセクタアドレス」を参照しながら芋蔓式に行われる。

なお、この読出し動作は終了コードが検出されるまで継続する。

(以下余白)

- 115 -

D: 本発明と従来装置の比較

次に、同一の画像表示を行う場合のデータ処理時間を本発明の画像合成装置と、従来のビットマップディスプレイとを対比して説明する。

比較条件

本発明の画像合成装置と、従来のビットマップディスプレイ装置とをそれぞれ用い、第30図に示す長方形を表示させるものとする。この時の処理条件は、データ比較を簡単に行うことができるよう、次のように設定するものとする。

フィールドプロセッサ回路の処理時間 t_f

前記第30図に示す長方形の始郭を描かせるために、本発明の装置も従来のビットマップディスプレイも同一のフィールドプロセッサ回路を用いるものとする。

また、条件を簡単にするため、フィールドプロセッサ回路内部では、パイプライン処理や並列処

- 116 -

理は行っていないものとする。そのようにすると、このフィールドプロセッサ回路の処理時間は、

a: 頂点座標の読出し

b: 割算

c: 描線

の3つの処理時間の合計となる。以下に、各処理時間をそれぞれ検討する。

なお、辺DC及びDAはX軸に平行であるため、割算と描線は行わないものとする。

a: 頂点座標の読出し

前述した実施例にならえば、コミュニケーションメモリ28内において、1つの頂点の座標は2ワードに格納されている。第30図の長方形の場合、表示画像の頂点は4個であるから、8ワードの読出しが必要となる。

1つのワードの読出しには、3MHzクロック(正確には3.072 MHz)が1サイクル必要になるため、その読出し処理に要する時間 t_f は次式で与えられる。

- 117 -

-534-

- 118 -

$$\begin{aligned}\tau_{f1} &= 325.5 \times 8 \\ &= 2604[\text{ns}] \\ &= 2.6[\mu\text{s}]\end{aligned}$$

b: 除算

また、前記各実施例にならえば、X座標は12ビット、Y座標は11ビットとして表されている。

ここにおいて、除算回路は、この演算結果を「商の整数部」と「余り」の形式で出力するものとする。

前記「商の整数部」は被除算にならって12ビットで構成されるため、前記割算を行うためには12クロック時間が必要となる。

また、除算回路の初期化のために、1クロック追加すると、1回の割算を行うためには13クロック時間が必要となる。

ここにおいて、前記クロックに6MHz(正確には6.144MHz)のクロックを用いるものとする。

この結果、前記長方形の表示には、辺BC及び

DAを除いた、2回の除算が行われることとなり、その処理時間 τ_{f2} は次式で与えられる。

$$\begin{aligned}\tau_{f2} &= 81.4 \times 13 \times 2 \\ &= 2116.4[\text{ns}] \\ &= 2.1[\mu\text{s}]\end{aligned}$$

(c) 描線

次に、辺AB及びCDを描くために要する時間について検討する。

実施例において、Y座標1つあたりの描線に、6MHzクロックを1サイクル必要であるとすれば、描線に要する処理時間は次式で与えられる。

$$\begin{aligned}\tau_{f3} &= 162.8 \times 224 \times 2 \\ &= 72934.4[\text{ns}] \\ &= 72.9[\mu\text{s}]\end{aligned}$$

以上のa~bの項で述べた処理時間を合計すれば、フィールドプロセッサ回路の処理時間は、次式で与えられる。

$$\tau_f = \tau_{f1} + \tau_{f2} + \tau_{f3} = 77.6[\mu\text{s}]$$

- 119 -

本発明の処理時間 τ_h

本発明にかかる画像合成装置の処理時間 τ_h は、基本的にフィールドプロセッサ回路の処理時間 τ_f とフィールドメモリ42への書き込み時間 $\tau_{h'}$ を加えたものとして与えられる。

前記長方形を表示するためには、 $224/2 = 112$ 個の鉛筆点ペア(インターレスのため)がフィールドメモリ42に書き込まれることとなる。

前記実施例によれば、フィールドメモリ42は、3MHzクロックでサイクルスチールされているから、その書き込み時間 $\tau_{h'}$ は3MHzクロックの112サイクル時間に相当する。

この結果、フィールドメモリ42への書き込み時間 $\tau_{h'}$ は次式で表されることとなる。

$$\begin{aligned}\tau_{h'} &= 162.8 \times 112 \\ &= 18233.6[\text{ns}] \\ &= 18.2[\mu\text{s}]\end{aligned}$$

従って、本発明の処理時間 τ_h は次式にて表されることとなる。

$$\tau_h = \tau_f + \tau_{h'} = 79.6[\mu\text{s}]$$

- 121 -

- 120 -

従来のビットマップディスプレイの処理時間

本発明は、その実施例において、8ビットのカラーコードを用いてるため、従来のビットマップディスプレイもこれに準じてその演算を行うものとする。

従って、従来のビットマップメモリも1ピクセルあたり8ビット割当てられることになる。

また、本発明において、前実施例のフィールドメモリ42は、原則として1ワードあたり28ビットで構成されている。従って、従来のビットマップメモリも、その1ワードあたりのビット数がこれに等しいかそれ以上でなければ比較にならない。

そこで、従来のビットマップメモリは、1ワードあたり $8 \times 4 = 32$ ビットとし、1回の動作で4ピクセル分のデータが書き込めるものとする。

また、従来の装置に用いられるフィールドプロセッサ回路は、ビットマップメモリとの関係から、1つの鉛筆点ペアの情報を出力すると、一時的に

- 122 -

動作を停止し、ビットマップメモリの両鉛郭点に挟まれた区間が所定のカラーコードで埋め尽くされるまで待たせる。

そして、このような動作を112回繰返して描画が完成する。

ここにおいて、従来のビットマップメモリも、本実施例に用いられたフィールドメモリと同様に、3MHzクロックでサイクルスチールしているものと仮定する。

また、第30図に示す長方形は、1つの鉛郭点ペアあたり228ピクセルある。また、前述したように、従来装置は1回の書き込み動作で、4ピクセル分のデータの書き込みが行われる。

従って、従来装置では、1つの鉛郭点ペアに対し、 $288/4=72$ 回の書き込みが行われることとなる。

この結果、第30図に示す長方形をビットマップメモリへの書き込むために要する時間 τ_b は、次式で表されることとなる。

- 123 -

ほぼリアルタイムで合成出力可能であることが理解される。

(以下余白)

$$\begin{aligned}\tau_p &= 162.8 \times 72 \times 112 \\ &= 1312819.2[\text{ns}] \\ &\approx 1312.8[\mu\text{s}]\end{aligned}$$

従って、従来のビットマップディスプレイの処理時間は次式で表されることとなる。

$$\tau_p = \tau_f + \tau_p = 1390.4[\text{ns}]$$

比較

従って、本発明の処理時間 τ_h と従来の処理時間 τ_p とを比較すると、その比較結果は次式で表されることとなる。

$$\frac{\tau_h}{\tau_p} \times 100 = \frac{79.6}{1390.4} \times 100 = 5.7[\%]$$

この演算結果によれば、本発明は従来のビットマップディスプレイに比し、約5.7%の時間で信号処理を行うことができる。

従って、本発明によれば、画像信号の合成出力を、従来のビットマップディスプレイに比し極めて高速で行うことが可能となり、複雑な画像を、

- 124 -

[発明の効果]

以上説明したように、本発明によれば、付随データの塗り潰し処理を必要とすることなく画像信号の合成を行うことができるため、装置全体を大型化することなく画像信号の合成をほぼリアルタイムで行うことが可能となる。

4. 図面の簡単な説明

第1図は本発明の画像合成装置を用いて形成されたシュミレーション装置の全体説明図、

第2図は本発明を用いて形成される画像表示装置の全体ブロック図、

第3図は画像情報供給源において用いられる移動座標系の1例を示す説明図、

第4図は鉛郭点情報とフィールドメモリとの関係を示す説明図、

第5図は、本発明において用いられるインデックスメモリの概略説明図、

第6図は本発明にかかる画像合成装置の好適な1例を示すブロック図、

第7図はコミュニケーションメモリの構造を示

- 125 -

- 126 -

す説明図、

第8図はフィールドプロセッサ回路の具体的な構成を示す説明図、

第9～第13図は第8図に示すフィールドプロセッサ回路の動作を示すフローチャート図、

第14図(A)は実施例において用いられる給郭点情報の説明図、

第14図(B)はフィールドメモリに対する読出/書き込みタイミングを示す説明図、

第15図～第16図は実施例において用いられるマップメモリ及びサブマップメモリの概略説明図、

第17図(A)、(B)は第5図に示すラインプロセッサ回路の動作を示すタイミングチャート図、

第18図は第5図に示すラインプロセッサ回路の第1の具体例を示すブロック図、

第19図は第18図に示すラインプロセッサ回路のずらし込み処理動作の説明図、

第20図～第23図は第1図に示すラインプロ

セッサ回路の第2の具体例を示す説明図、

第24図は第1図に示すフィールドメモリの他の具体例を示す説明図、

第25図及び第26図は第24図に示すフィールドメモリに対して使用されるラインプロセッサ回路の説明図、

第27図は第1図に示すフィールドメモリの他の具体例を示す説明図、

第28図及び第29図は第27図に示すフィールドメモリに対して使用されるラインプロセッサ回路の説明図、

第30図は本発明と従来装置とのデータ比較に用いられる表示画面の説明図である。

- 10 … 画像情報供給源
- 12 … フィールドプロセッサ回路
- 14 … 画像合成装置
- 32 … 記憶回路
- 34 … ラインプロセッサ回路
- 36 … インデックスメモリ
- 40 … CRT

— 127 —

— 128 —

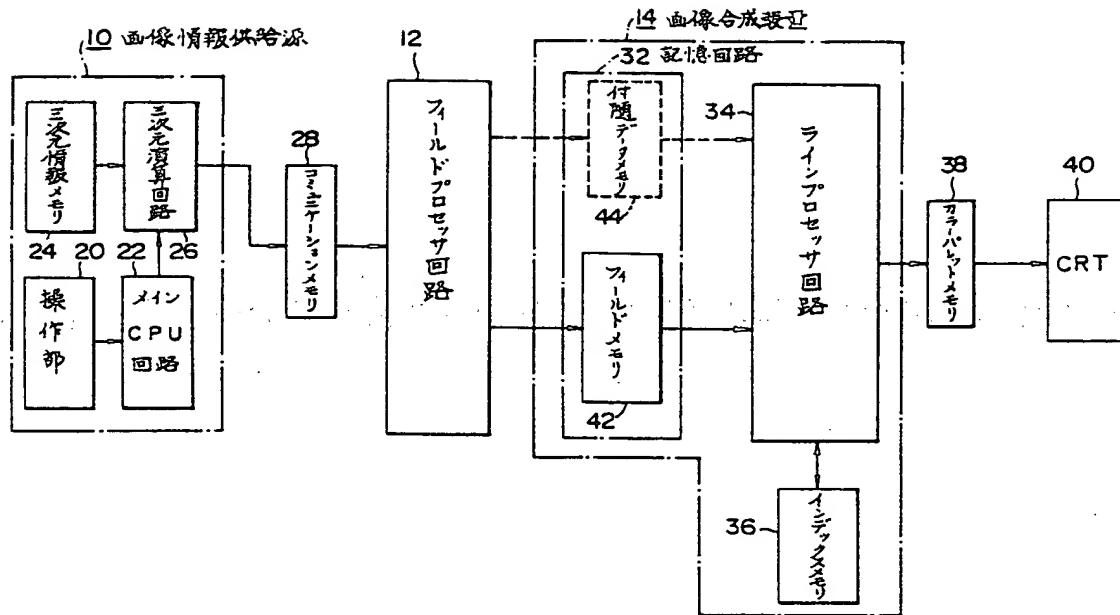
- 42 … フィールドメモリ
- 44 … 付随データメモリ
- 56 … 第1のラインプロセッサ
- 58 … 第2のラインプロセッサ
- 60 … 給郭点マップメモリ
- 62 … マップメモリ
- 64 … サブマップメモリ
- 82 … 給郭点ずらし込み回路
- 84 … 比較回路

出願人 株式会社ナムコ

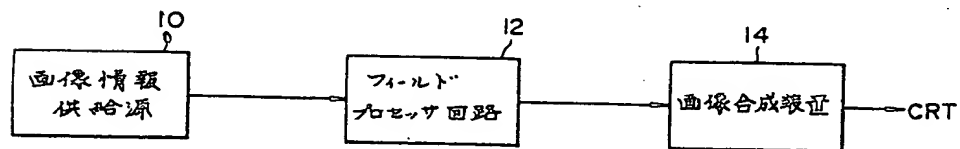
代理人 弁理士 吉田研二

(他2名) 8-4

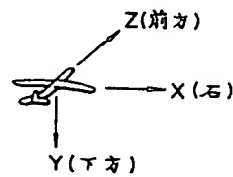
第 1 図



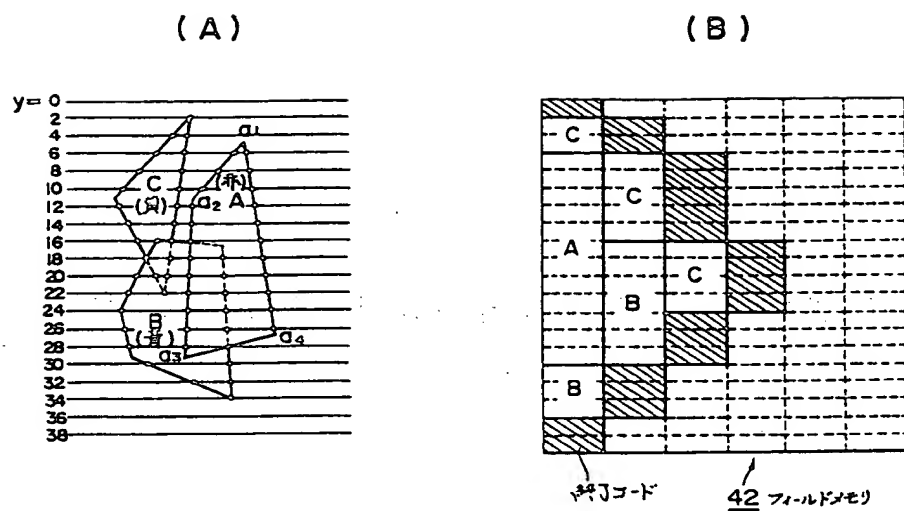
第 2 図



第 3 図



第 4 図

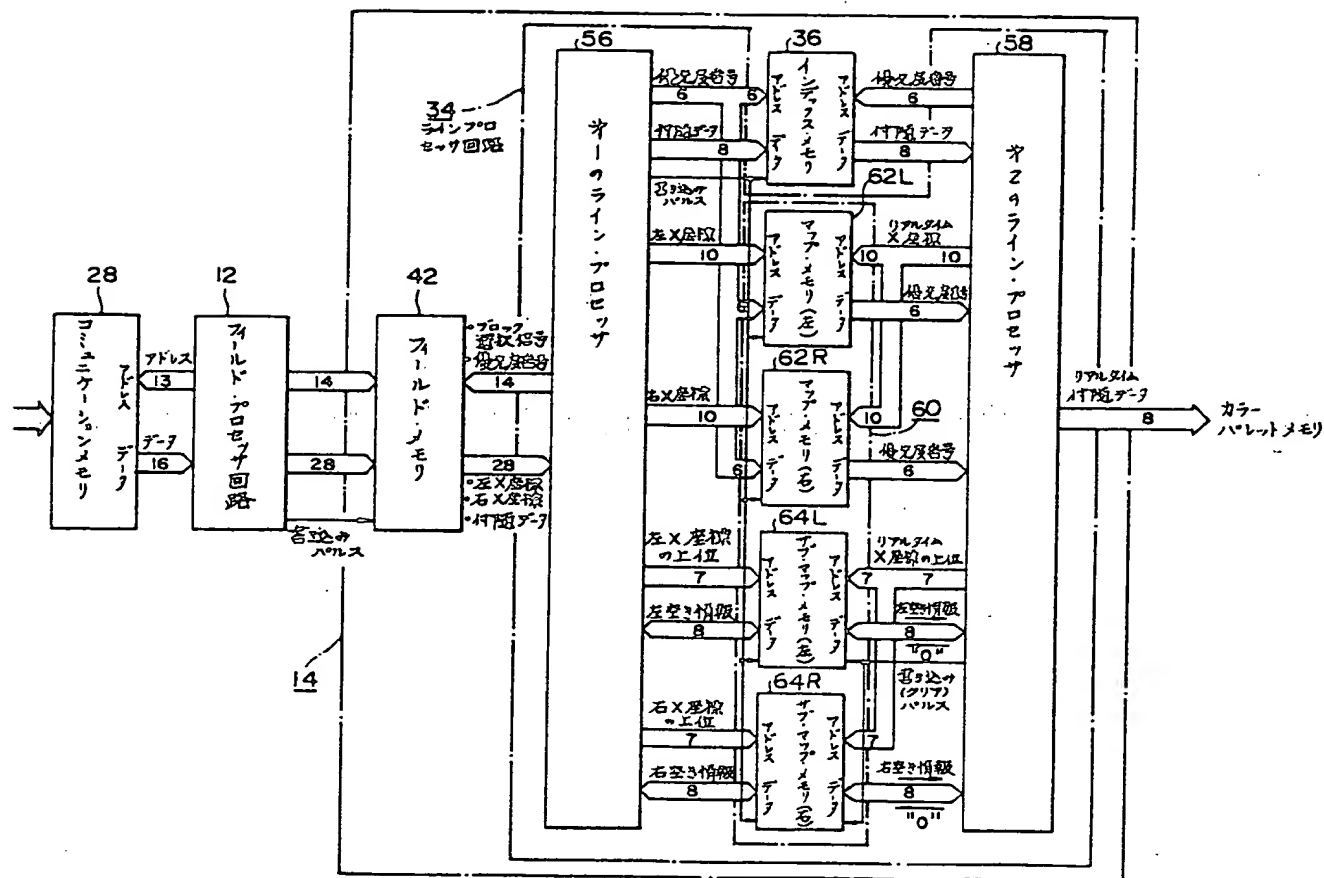


第 5 図

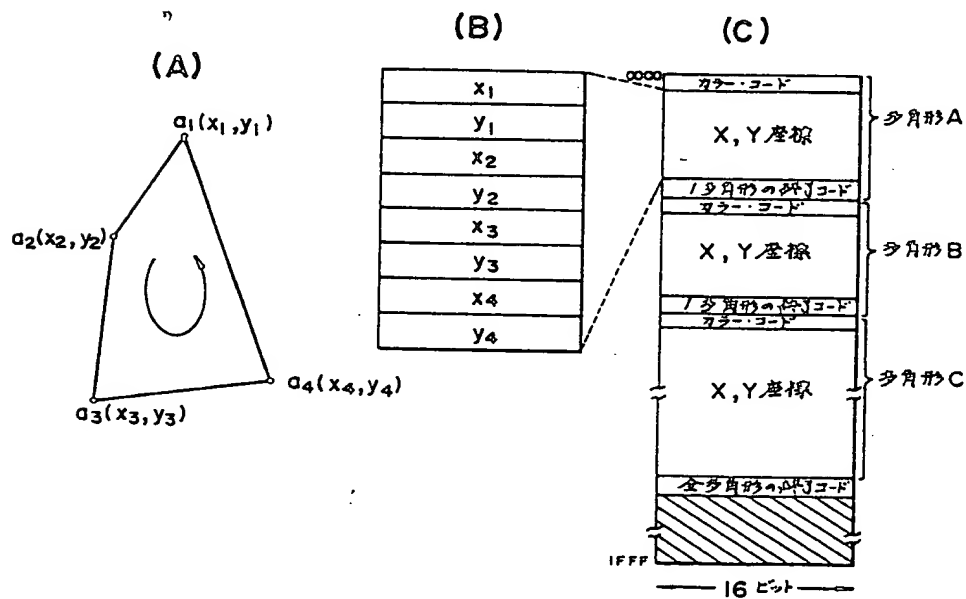
インデックスメモリのフォーマット	
アドレス (優先度番号)	格納データ (カラーコード)
0	赤
1	青
2	黄
}	
}	
8ビット	

64個

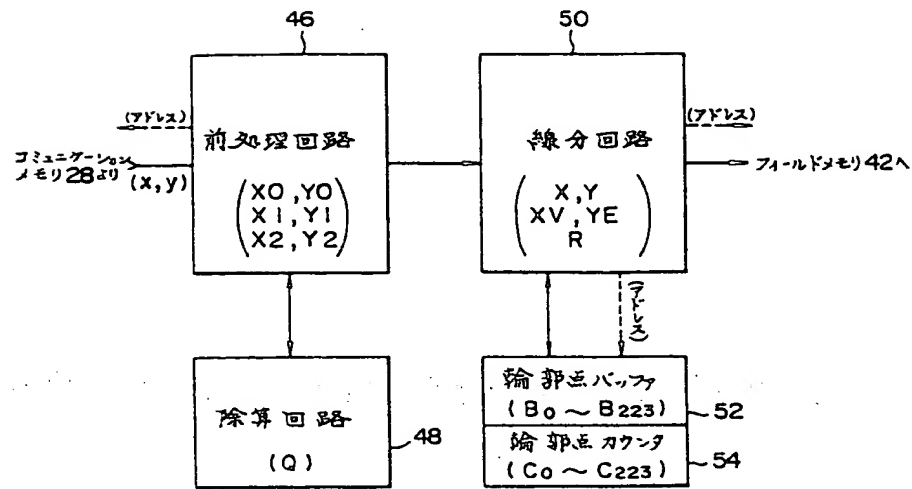
第 6 図



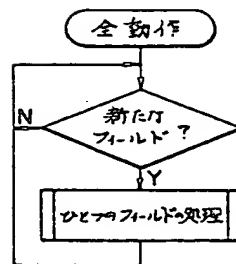
第 7 図



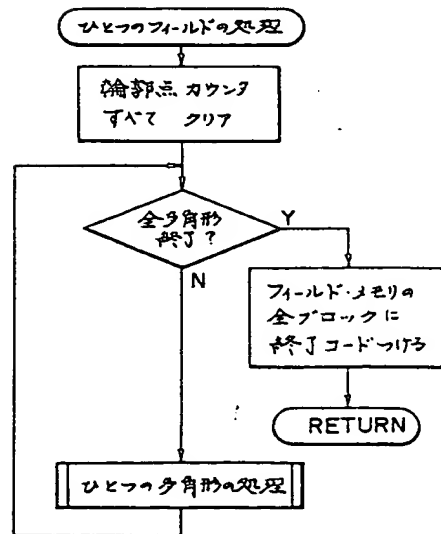
第 8 図



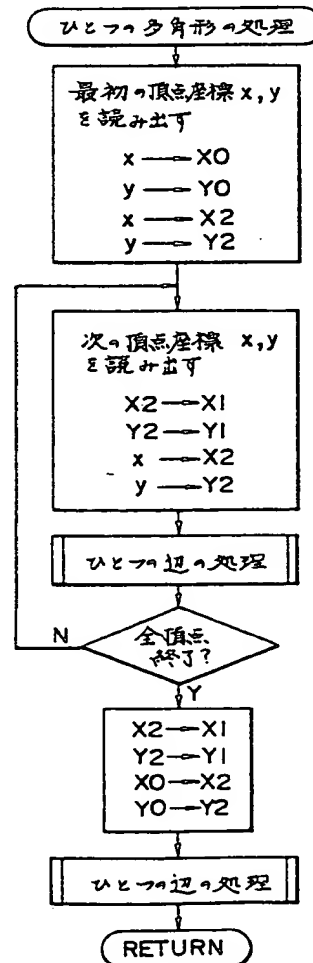
第 9 図



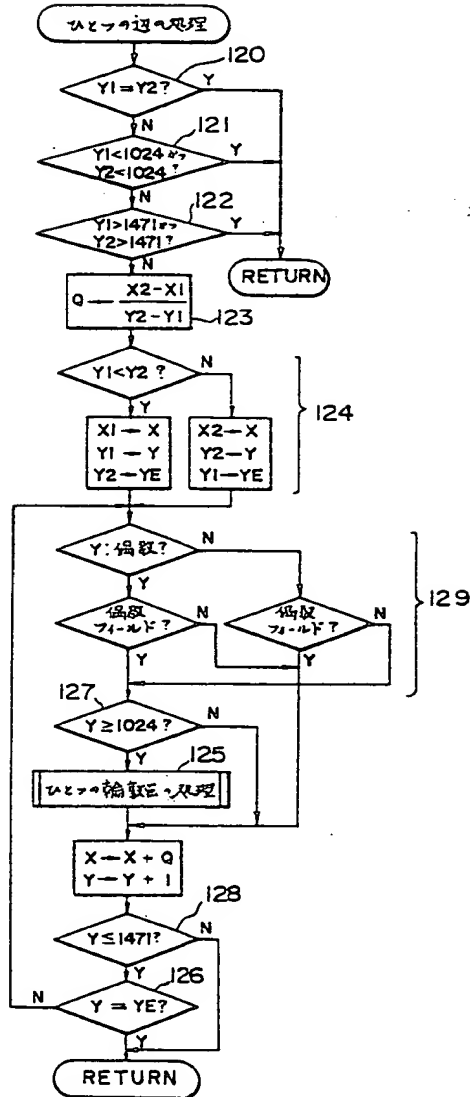
第 10 図



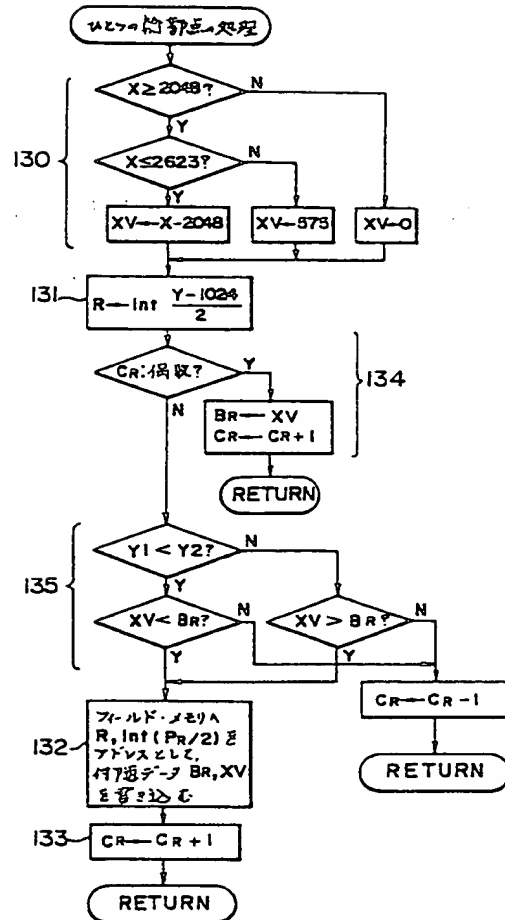
第 11 図



第 12 図

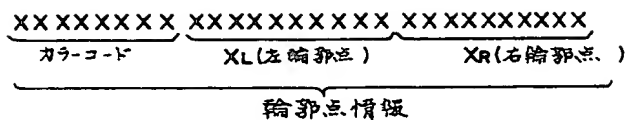


第 13 図

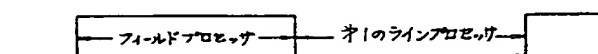


第 14 図

(A)



(B)



3MHz クロック

第 15 図

(A)

マップメモリ (左) のフォーマット

アドレス (X座標)	0	1	---	XLB	XLB +1	---	XLC	XLC +1	---	XRC	XRC +1	---	XLA	XLA +1	---	XRB	XRB +1	---	XRA	XRA +1	---	575
データ (優先度番号)	X	X	---	1	X	---	2	X	---	X	X	---	0	X	---	X	X	---	X	X	---	X

1ワード

(B)

マップメモリ (右) のフォーマット

アドレス (X座標)	0	1	---	XLB	XLB +1	---	XLC	XLC +1	---	XRC	XRC +1	---	XLA	XLA +1	---	XRB	XRB +1	---	XRA	XRA +1	---	575
データ (優先度番号)	X	X	---	X	X	---	X	X	---	2	X	---	X	X	---	1	X	---	0	X	---	X

1ワード

第 16 図
(A)

アドレス	0			1	Int($\frac{X_{LB}}{8}$)			-----			70			71		
	0	1	2	---	7	8	---	X _{LB}	---	X _{LC}	---	X _{LD}	---	X _{LE}	---	X _{LF}
X座標	0	0	0	---	0	0	---	---	---	---	---	---	---	---	---	---
デック 左端部点の座標	0	0	0	---	0	0	---	1	---	0	0	---	0	0	---	0

1ワード

1ワード

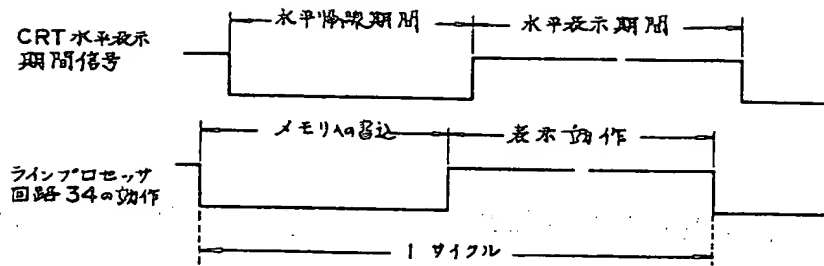
(B)

アドレス	0			1	$\text{Int}(\frac{X_{LB}}{8})$			-----			70		71				
	0	1	2		---	7	8	---	X _{LB}	---	X _{LC}	---	X _{LA}	---	X _{RB}	---	574 575
X座標	0	0	0	---	0	0	---	0	0	1	---	0	---	1	0	---	0 0
右端部点の座標	0	0	0	---	0	0	---	0	0	1	---	0	---	1	0	---	0 0

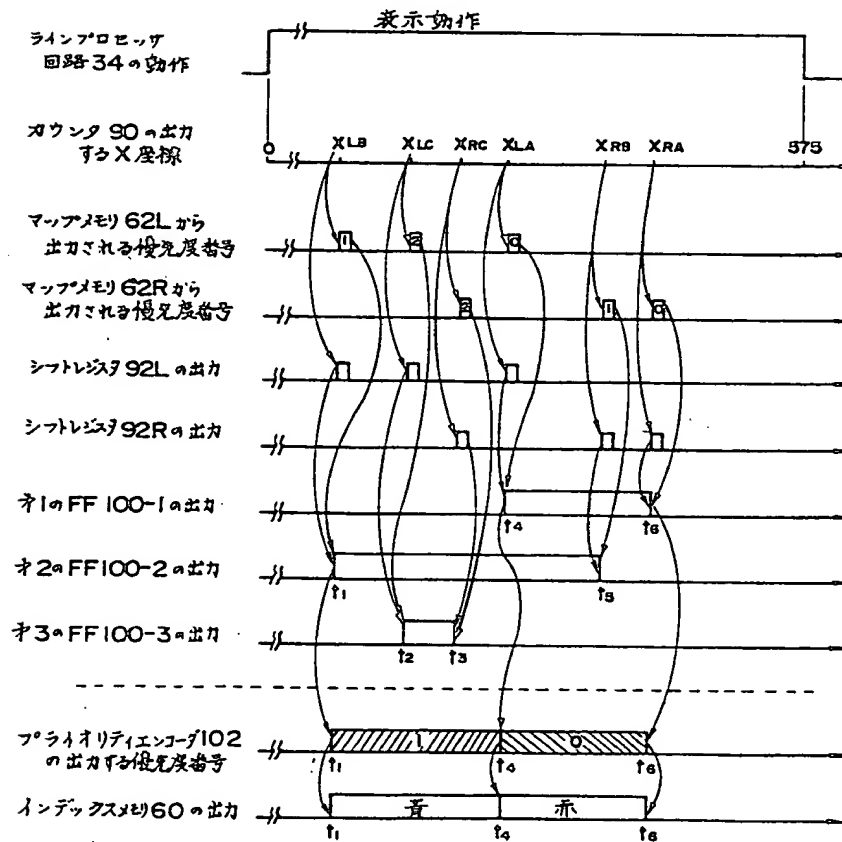
1ワード

1ワード

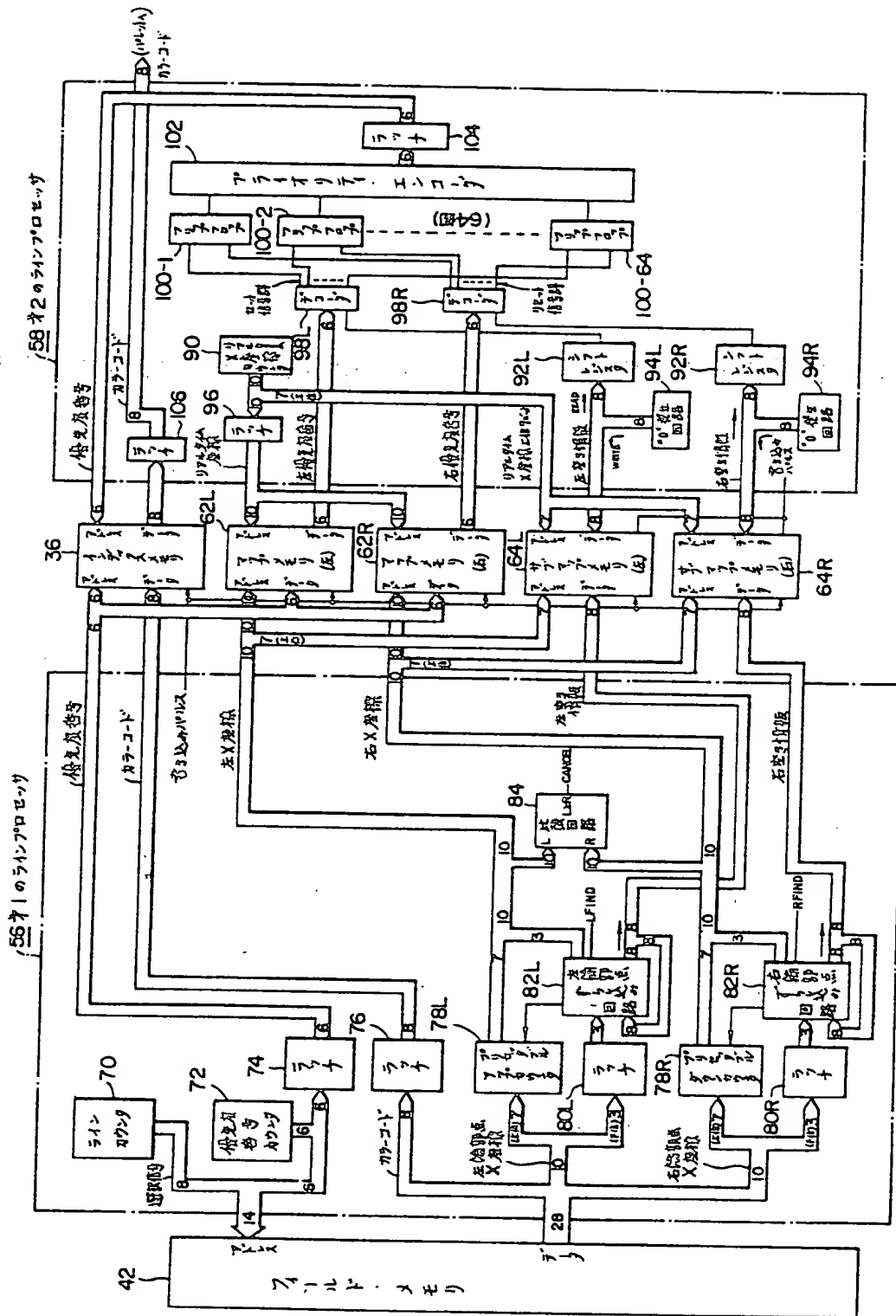
第 17 図
(A)



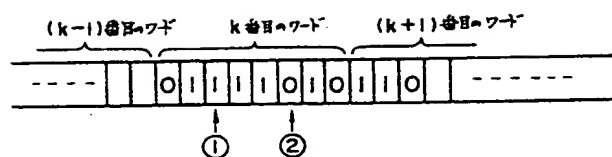
第 17 図
(B)



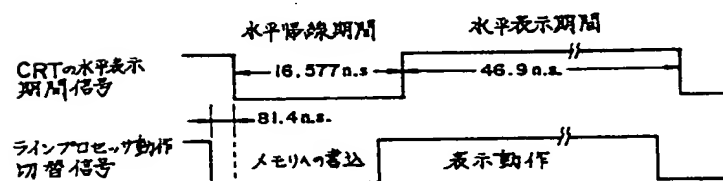
第18図



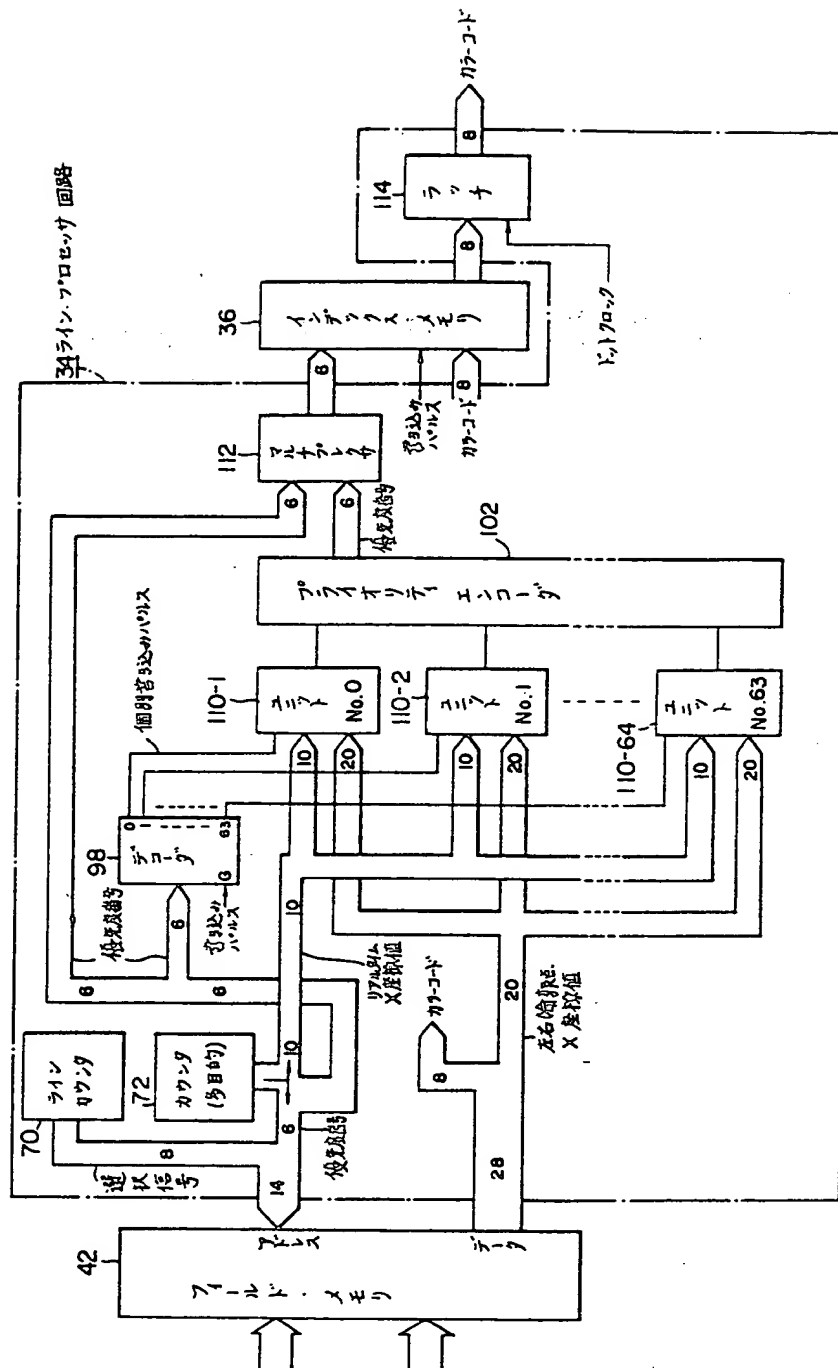
第 19 図



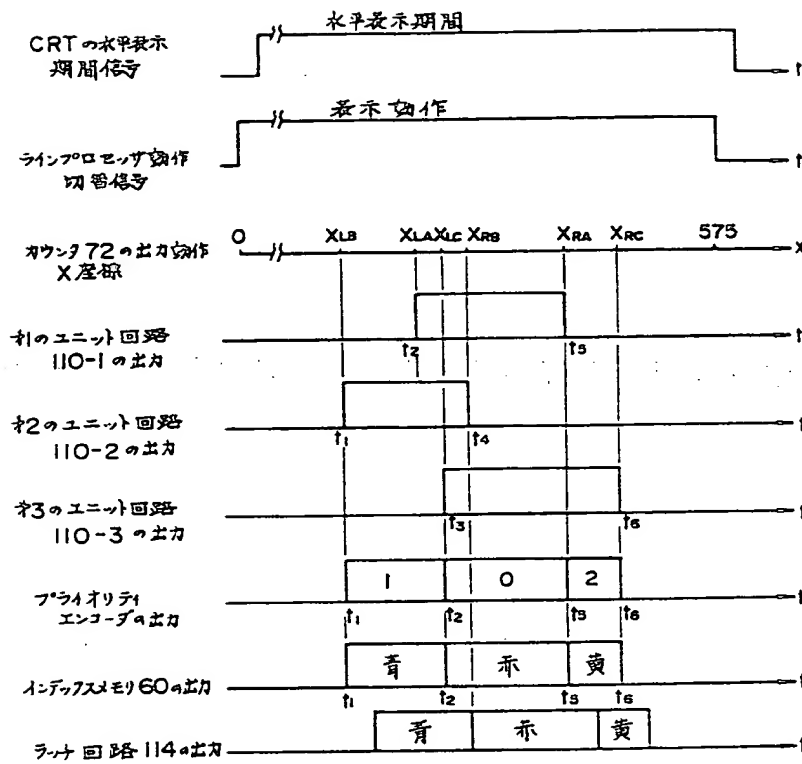
第 21 図



第 20 図

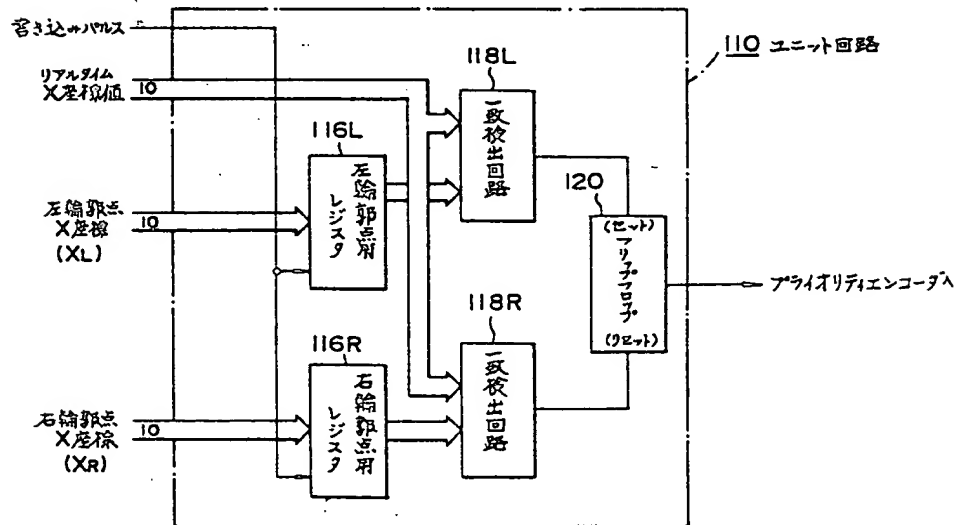


第 22 図

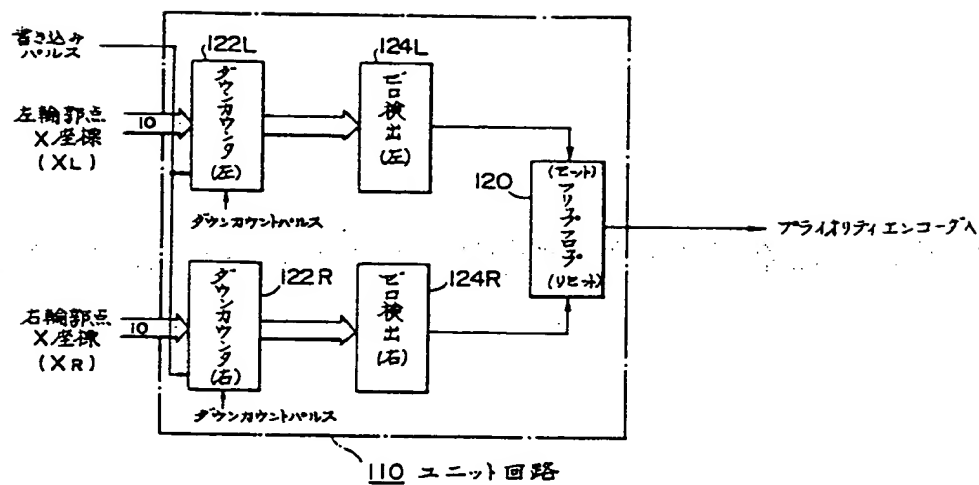


第 23 図

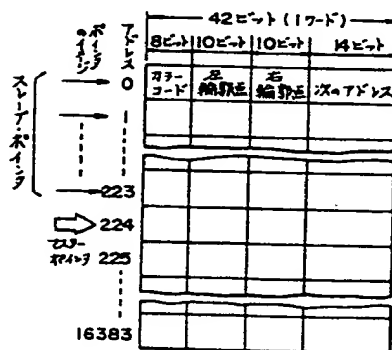
(A)



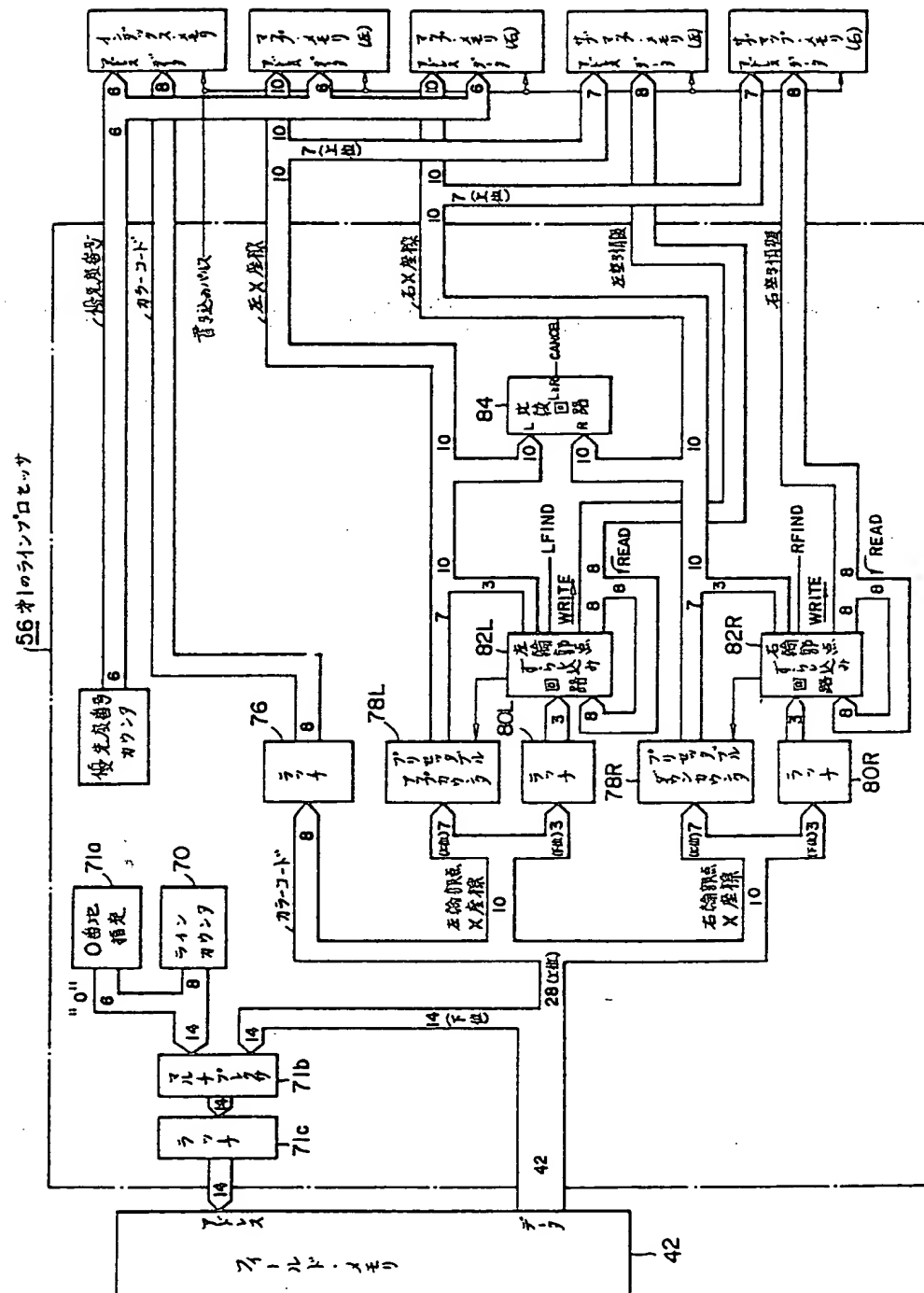
第 23 図
(B)



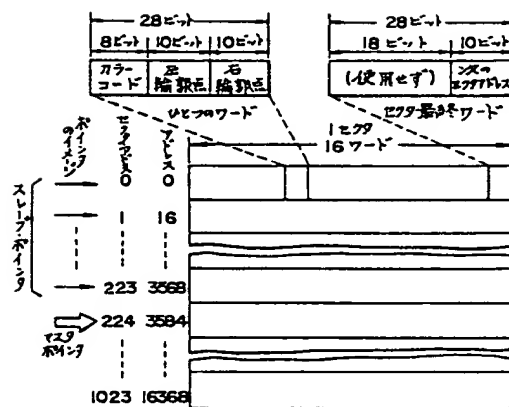
第 24 図



第25圖

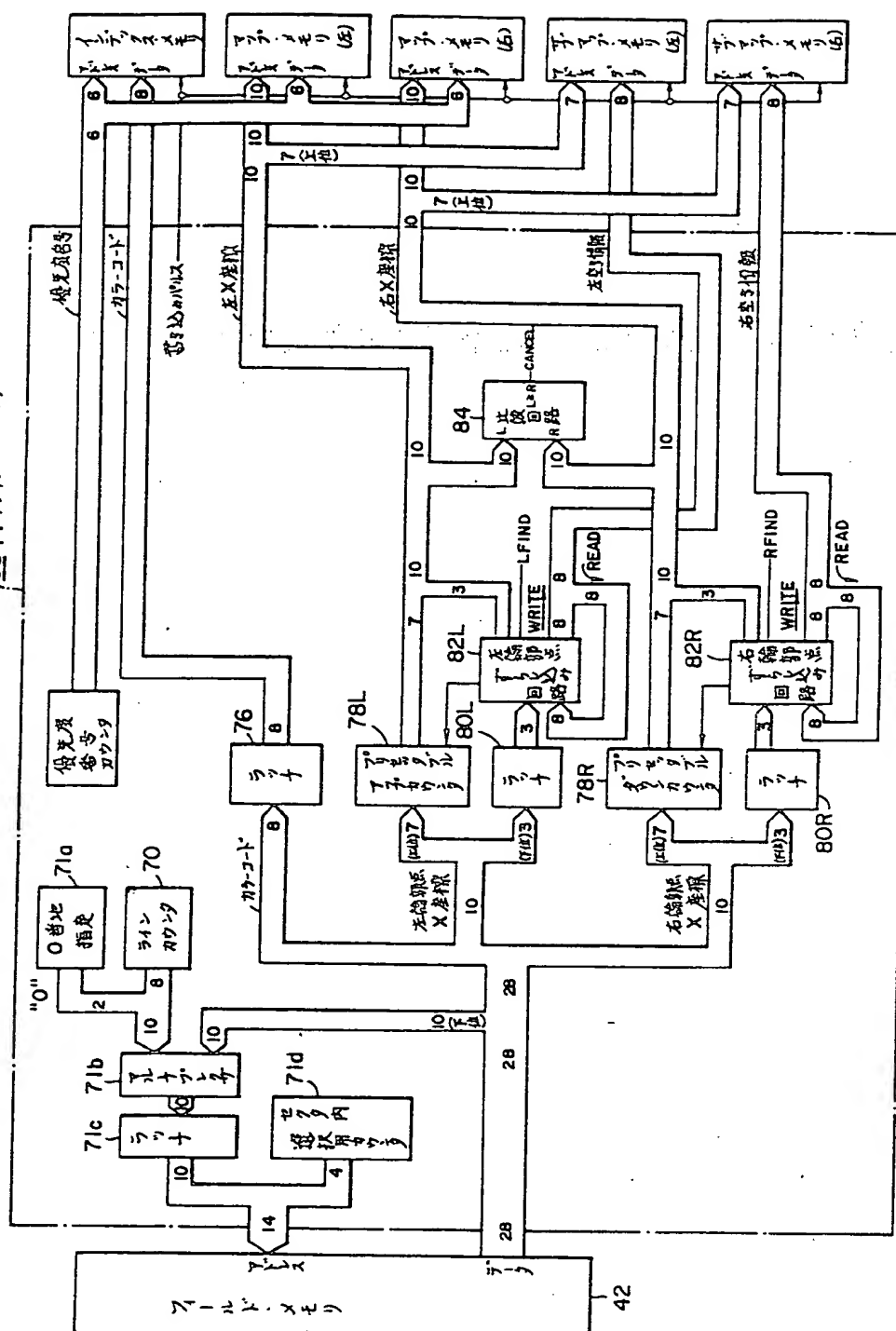


第 27 図

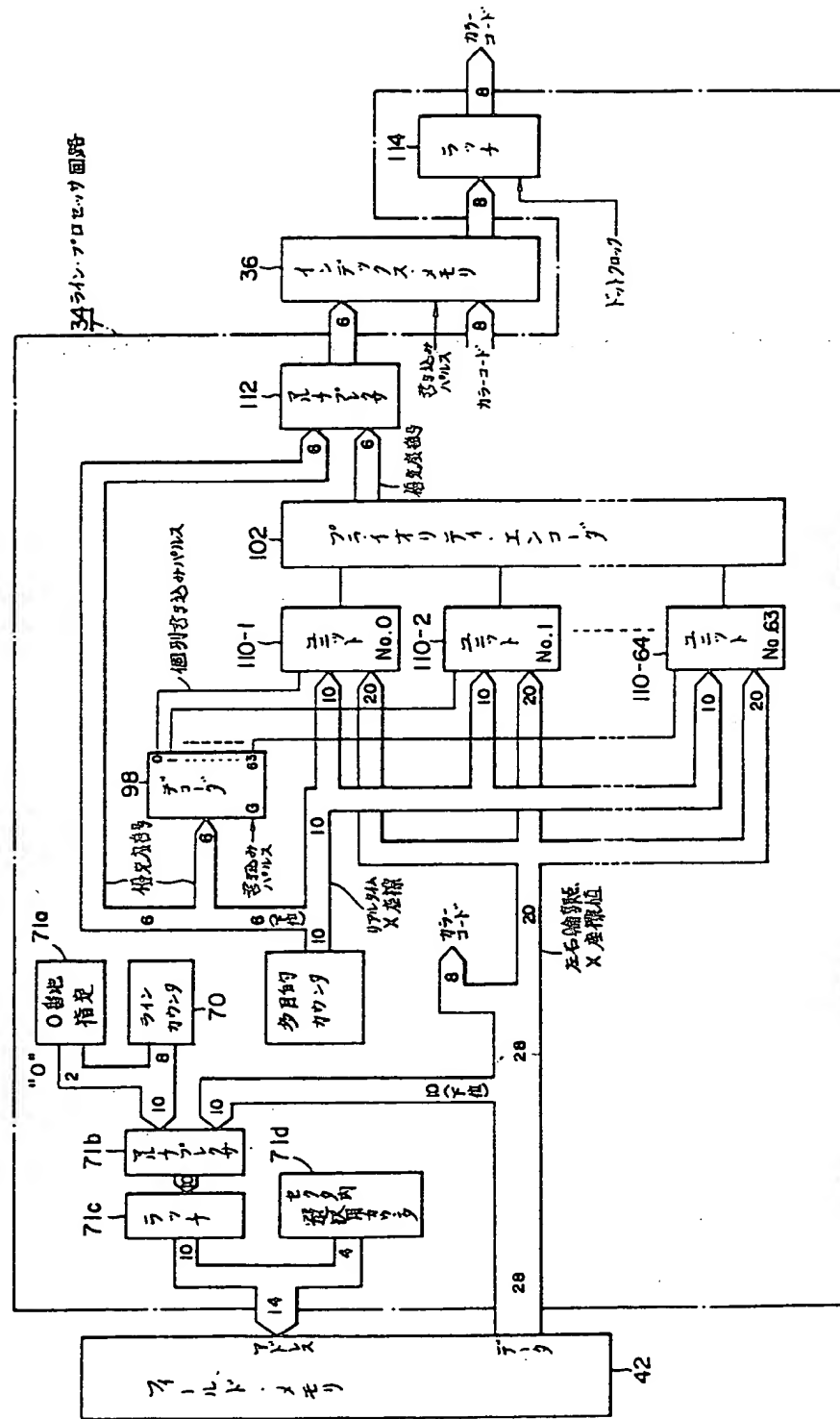


第 28 図

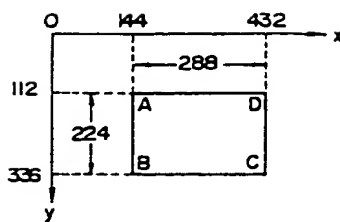
56ビットラインプロセッサ



第 29 页



第 30 図



特許法第17条の2の規定による補正の掲載

手続補正書

昭和 61 年特許願第 73162 号 (特開昭
62-231379 号, 昭和 62 年 10 月 9 日
発行 公開特許公報 62-2314 号掲載) につ
いては特許法第17条の2の規定による補正があっ
たので下記のとおり掲載する。 6 (3)

平成 1 年 4 月 20 日

特許庁長官殿

1. 事件の表示

昭和 61 年特許願第 73162 号

2. 発明の名称 西 合 成 鏡 面

3. 補正をする者

事件との関係 特許出願人

住所 東京都大田区多摩川 2 丁目 8 番 5 号

名称 株式会社 ナ ム コ

代表者 中 村 昭 哉

4. 代理人

住所 東京都新宿区市谷本村町 3 番 2 5 号

市谷リンデンビル 9 階 電話 235-1860

氏名 (9038) 井 堀 士 布 郎 行 夫

5. 補正命令の日付 自 発

6. 補正の対象

明細書の特許請求の範囲および発明の
詳細な説明の各欄

Int. Cl.	識別記号	庁内整理番号
G06F 15/62		6615-58

7. 補正の内容

(1) 明細書の特許請求の範囲の図を別紙のとおり訂正する。

(2) 明細書第 50 頁第 5 行目の「第 5 図」を「第 6 図」に訂正する。

(3) 同上第 63 頁第 14 行目～第 15 行目の数式を下記のように訂正する。

$$X = QY + X_1 - QY_1$$

$$Q = \frac{X_2 - X_1}{Y_2 - Y_1}$$

以 上

野村 昭 哉

特許請求の範囲

(1) CRT 表示用の図形の輪郭線が各水平走査線と交差する左右輪郭点ペアと、この図形の付随データと、から成る輪郭点情報、各水平走査線に対応して設けられた水平走査記憶エリア内にその優先度を伴い順次読み記憶される輪郭点情報記憶手段と、

水平走査信号に同期して、その垂直走査位置に対応する水平走査記憶エリアから各輪郭点情報に含まれる付随データを読出し、読出された付随データをその優先度に従って各アドレスに読み記憶するインデックスメモリと、

水平走査信号に同期して、その垂直走査位置に対応する水平走査記憶エリアから各輪郭点情報に含まれる輪郭点ペアを順次読出し、水平走査が各輪郭点ペアの指定する領域内で行われている場合に、対応する付随データの読出しアドレスをその優先度に基づきインデックスメモリへ出力する読出しアドレス発生手段と、

を含み、供給される図形の他郭点情報に基づき、CRT表示用の画像信号をリアルタイムで合成出力することを特徴とする画像合成装置。

(2) 特許請求の範囲(1)記載の装置において、他郭点情報記憶手段は、水平走査線に対応した複数の水平走査記憶エリアを有するフィールドメモリを含み、入力される他郭点情報が対応する水平走査記憶エリア内にその優先度に従って順次記憶されることを特徴とする画像合成装置。

(3) 特許請求の範囲(1)記載の装置において、他郭点情報記憶手段は、フィールドメモリと付随データメモリとを含み、

前記フィールドメモリの各水平走査記憶エリアには、他郭点ペアと図形の認識番号とが記憶され、

前記付随データメモリには、図形の認識番号をアドレスとして付随データが記憶されることを特徴とする画像合成装置。

(4) 特許請求の範囲(1)～(3)のいずれかに記載の装置において、

形成され、

供給される各図形の他郭点情報に基づき、水平走査用の画像信号をリアルタイムで順次合成出力することを特徴とする画像合成装置。

(5) 特許請求の範囲(4)記載の装置において、前記他郭点マップメモリは、

各他郭点情報に含まれる左他郭点位置及び右他郭点位置をアドレスとして、前記優先度が記憶されるマップメモリと、

各他郭点情報に含まれる他郭点位置が記憶されるサブマップメモリと、

を含むことを特徴とする画像合成装置。

(6) 特許請求の範囲(1)～(3)のいずれかに記載の装置において、

読出しアドレス発生手段は、

水平走査信号に同期して、その垂直走査位置に対応する水平走査記憶エリアから他郭点情報を優先度に従い順次読出すとともに、各他郭点情報に対応した優先度を発生するデータ読出し部と、
読出された各他郭点情報に含まれる他郭点ペア

前記読出しアドレス発生手段は、

水平走査信号に同期して、その垂直走査位置に対応する水平走査記憶エリアから他郭点情報をその優先度に従い読出すとともに、各他郭点情報の優先度番号を発生する第1のラインプロセッサと、

各他郭点情報に含まれる左他郭点位置及び右他郭点位置をアドレスとして、前記優先度番号が記憶される記憶され、かつ各他郭点情報に含まれる他郭点位置が記憶される他郭点マップメモリと、

水平走査が、他郭点マップメモリに記憶された各他郭点ペアの指定する領域内で行われている場合に、対応する優先度番号に従いインデックスメモリへ向け読出しアドレスを出力する第2のラインプロセッサと、

を含み、

前記インデックスメモリは、第1のラインプロセッサの読出す付随データを優先度番号に従って各アドレスに順次記憶し、記憶された各付随データを前記第2のラインプロセッサから出力される読出しアドレスに従って順次出力するよう

をその優先度に従って順次記憶するとともに、水平走査が記憶された各他郭点ペアの指定する領域内で行われている場合には、前記他郭点ペアと対応する最も高い優先度番号に従いインデックスメモリに読出しアドレスを出力するアドレス出力部と、

を含み、

前記インデックスメモリは、

データ読出し部の読出す他郭点情報に含まれる付随データを前記優先度番号に従い所定アドレスに順次記憶し、記憶された付随データを前記アドレス出力部から出力される読出しアドレスに従って順次出力するよう形成され、

供給される各図形の他郭点情報に基づき、水平走査用の画像信号をリアルタイムで順次合成出力することを特徴とする画像合成装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.